ASIC설계 입문

한국전자통신연구원

여순일

r 차 례 r

Ÿ ASIC 개요

IC 분류 , What is ASIC?, Why ASIC?

What is Semiconductor?, 집적 기술의 발전

설계 표현

Ÿ ASIC화를 위한 검토사항

설계사양은 확정 되었는가?

설계환경은 갖추었는가?

ASIC을 제작하기 위한 제반조건은 충족되었는가?

Ÿ ASIC구현 기술 소개

Ÿ 실습

r 참고 문헌 목록 r

Ÿ 최명렬, ASIC 주문형반도체의 이론과 활용, 하이테크정보, 1996년

Ÿ 공진흥외, VLSI 설계 이론과 실습, 홍릉과학출판사, 1997년 7월

Ÿ J.Schroeter, Surviving the ASIC Experience, Prentice Hall, 1992

Ÿ Douglas J Smith, HDL Chip Design, Doone Publications, 1996

Ÿ D. A. Pucknell et al, Basic VLSI Design, Prentice Hall, 1994

Ÿ T. Williams., VLSI Testing, North-Holland Publishers, 1986

Ÿ Watts, R.K., Submicron Integrated Circuits, John Wiley and Sons Inc., New York, 1989

Ÿ Sze, S. M., Semiconductor Devices: Physics And Technology, Bell Telephone Laboratories, USA., 1985

Ÿ Douglas J Smith, HDL Chip Design, Doone Publications, USA., 1996

ASIC 개요

r IC 분류

Ÿ Standard IC

Memory
Microprocessor
DSP
TTL

Ÿ ASIC(Custom IC)

Full Custom
Semi-Custom
- SOG(Sea Of Gate)
- CBIC(Cell Base IC i.e. Standard Cell)

PLD
- SPLD: 일반적인 PAL(Programmable Array of Logics)
- CPLD: 대형 PAL
- FPGA(Field Programmable Gate Array)

ASSP

SOC(System On a Chip) : IP(Intellectual Property)가 필수 재료

ASIC 개요

- What is ASIC?
  - Application Specific Integrated Circuit
  - System IC
  - Non-Memeory IC
  - Implementation of an Application Specific Algorithm on a Silicon
  - Many Definitions Possible
    (Software까지 포함하는 등의)
  - SoC(System on a Chip)의 등장
  - 설계형태에 따른 분류
    - Level0
    - Level1
    - Level2
    - Level3

ASIC 개요

- Why ASIC?
  - Cost Reduction
  - Area Reduction
  - Protecting IP
  - High Performance
  - High Reliability
  - Low Power Consumption

ASIC 개요

r What is Semiconductor?

ÿConductor

ÿInsulator

ÿSemiconductor

Energy Gap
- Si: 1.1eV, Ge: 0.67eV

Electron-Hole Pair

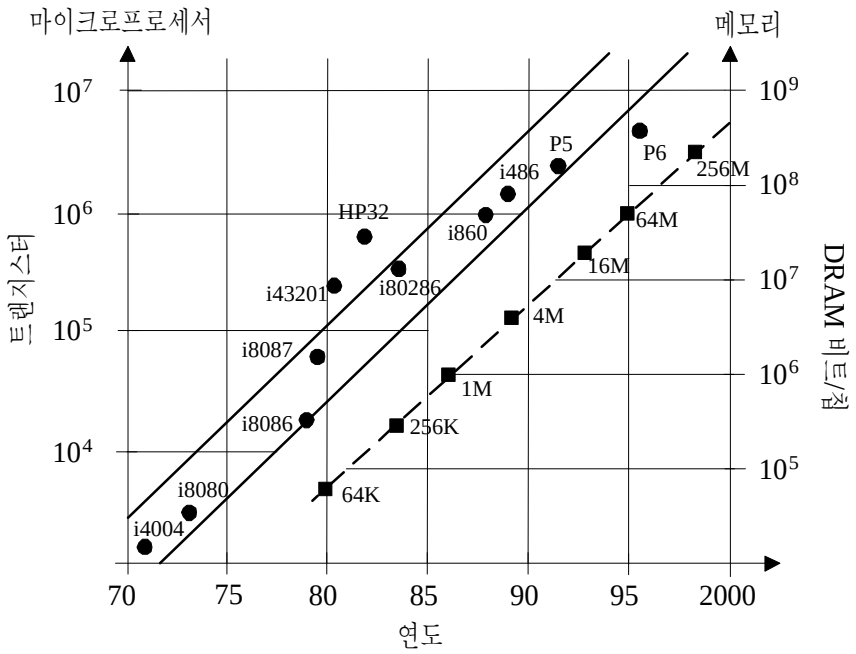
PN Junction(Diode)

PNP(or NPN) Transistor
- Bipolar Transistor
- CMOS Transistor
- BiCMOS Transistor
- Compound Material Transistor
  . MESFET

ASIC 개요

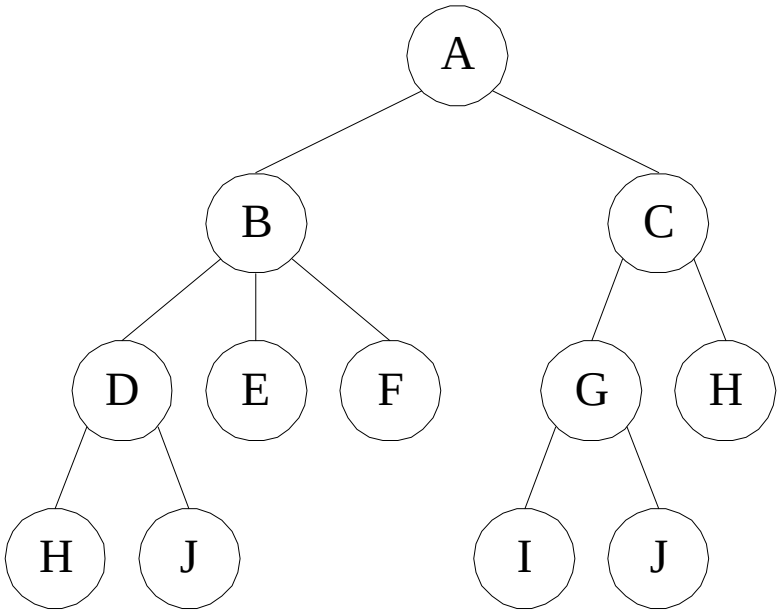
r 집적기술의 발전

Ÿ 마이크로 프로세서와 메모리의 집적도 증가



ASIC 개요

- 설계 표현
  - Hierachical Representation



Top-down 방식

Bottom-up(library-base) 방식

ASIC 개요

r 설계 표현

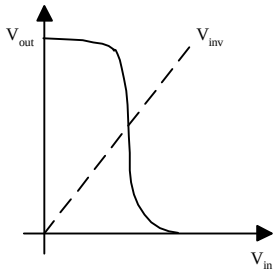
Ÿ 여러 표현 형태

```
#include <stdio.h>
main( )
{
  int input,ouput;
  ...
  output=!input;
  ...
}
```

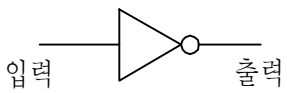
(a) C 프로그램

입력	출력
0	1
1	0

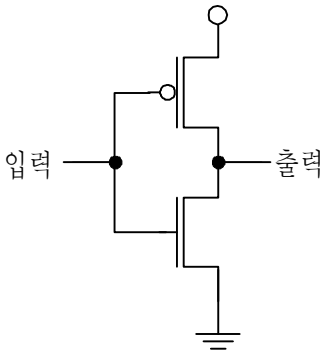
(b) 진리표



(c) 입출력 전달 특성



(d) 논리 심볼



(e) 트랜지스터 회로도

(f) 레이아웃

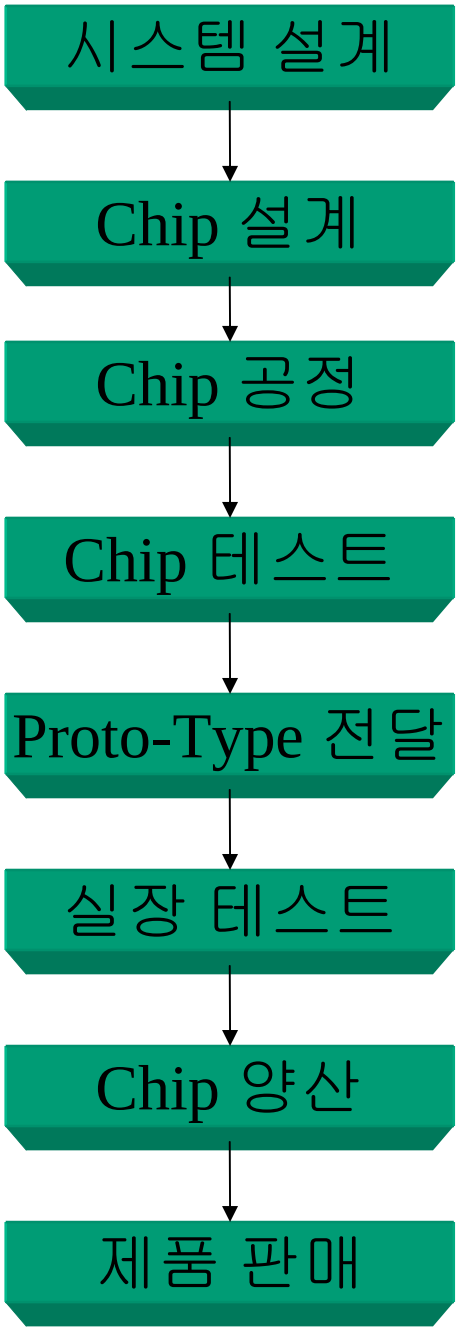
ASIC화를 위한 검토 사항

- 설계 사양은 확정 되었는가?
  - 구현하고자 하는 시스템의 정의는 완성이 되었는가?
  - 설계하고자 하는 ASIC의 속성을 파악 하였는가?
    - Digital ASIC인가?
    - Analog ASIC은 아닌가?
    - IP를 사용하여야 하는가?
  - Application System이 확실하게 있는가?
  - I/O Pin 수를 확정 하였는가?

- ASIC을 제작하기 위한 제반 조건은 충족이 되었는가?
  - ASIC Foundry를 결정 하였는가?
  - ASIC Test는 어디에서 할 것인지 결정 하였는가?
  - ASIC 양산 시 그 개수는 년간 얼마나 되는가?
  - ASIC 설계를 위한 Tool은 결정 하였는가?
  - ASIC Foundry의 Design Kit은 설치 되었는가?
  - Performance를 고려하여 적용 Technology를 결정 하였는가?

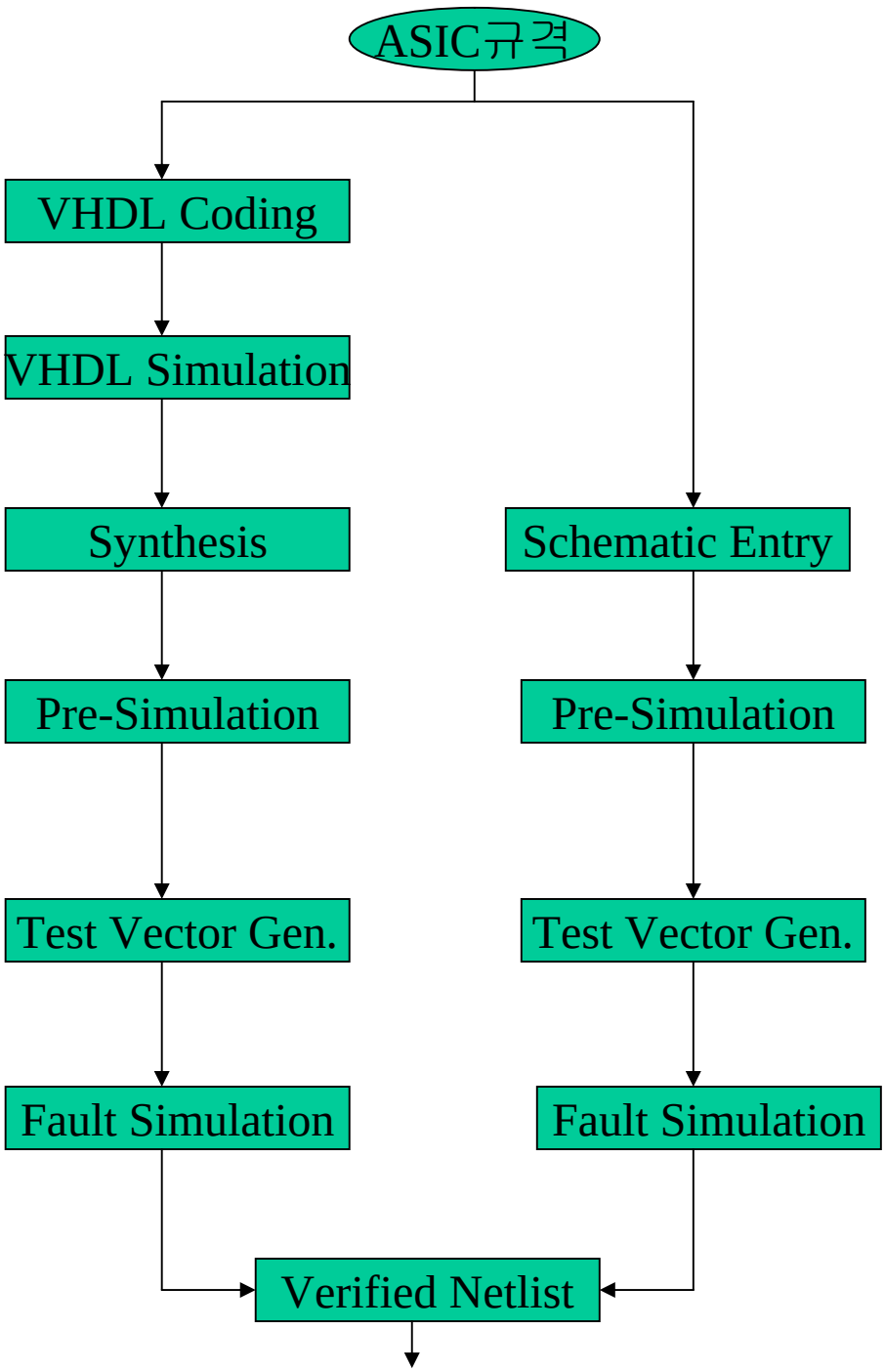
ASIC 구현 기술 소개

r ASIC 개발의 개괄적 흐름



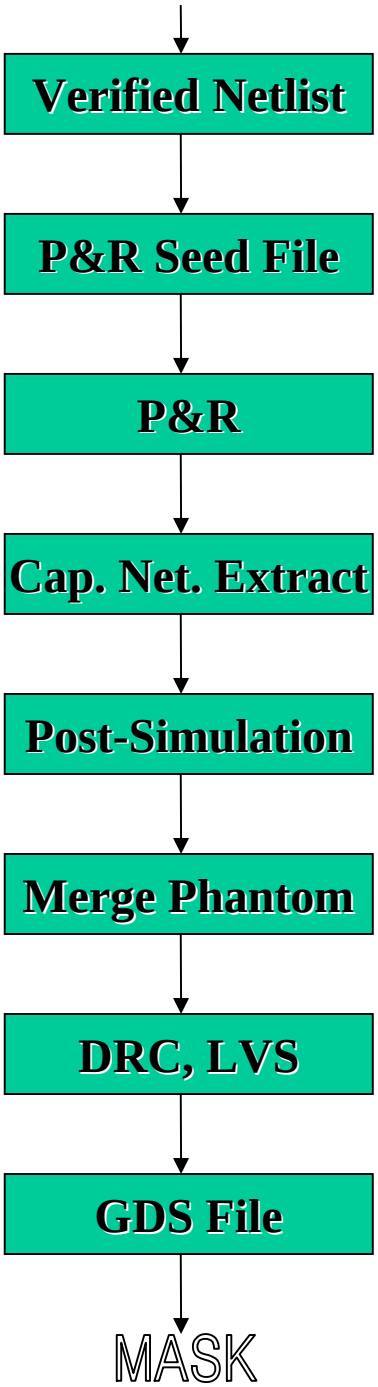
ASIC 구현 기술 소개

- ASIC Design Flow(Front-End)



ASIC 구현 기술 소개

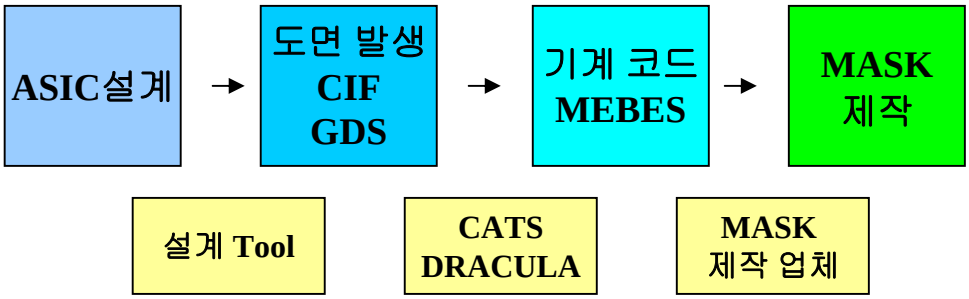
- ASIC Design Flow(Back-End)



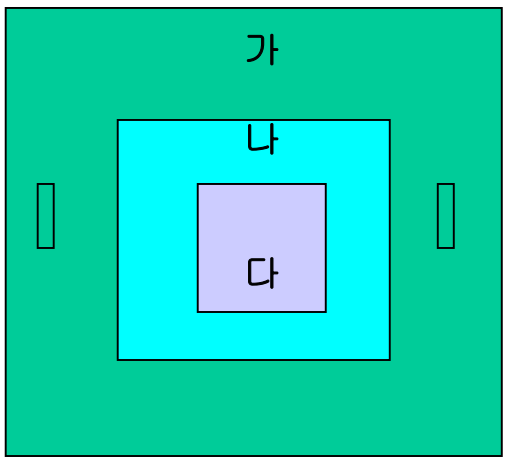
ASIC 구현 기술 소개

r ASIC Chip 제작

Ÿ Mask 준비



ŸMASK 구조



'가' 부분 : 노광장치에 장착할 때의 정렬 정보 데이터
'나' 부분 : 웨이퍼 제조공정 감시 및 검사 부분
'다' 부분 : 실제 설계 데이터

ASIC 구현 기술 소개

r 웨이퍼 공정

Ÿ웨이퍼 공정을 구성하는 3가지 기본 기술

1. 박막 형성 기술

. 열산화막

. CVD(Chemical Vapor Deposition) 막 : Poly-Silicon, 질화막, 산화막, 에피택셜(단결정 막), PSG(Phosphorus Silica Glass)

. PVD(Physical Vapor Deposition) 막 : Al, Silicide 막

2. Photo Etch 기술

. Lithography 기술

- Photo Resist 도포
- 노광(Expose) : UV 광 조사
- 현상(Develop)
- Photo Resist 제거 : 미노광부 남음(Negative Resist는 반대)

. Etch 기술

- 피가공막에 대해 식각작업 수행
- Photo Resist 제거

3. 불순물 주입 기술

. 고온 확산법

: 고온(900-1000C)의 노(Furnace)에 불순물을 흘려 넣음으로써 웨이퍼에 불순물을 주입하게 되는 방법

. 이온 주입법

또한 세정기술을 웨이퍼 공정 사이 사이에 시행하여야 한다

ASIC 구현 기술 소개

ÿ MOSFET 공정의 흐름

1. Wafer 준비
2. 소자 분리 영역 정의 : 질화막을 이용
3. Channel Stop 용 이온 주입(NMOSFET의 경우 B 주입)
4. LOCOS 형성(질화막을 이용한 선택적 산화)
5. 질화막 제거
6. 게이트 산화막(SiO2) 성장
7. Threshold Voltage Control용 이온 주입
8. 게이트 폴리실리콘 도포(배선용 Poly-Silicon도 함께)
9. 게이트 영역 정의
10. Source, Drain 영역 이온 주입
11. Metal층과의 절연을 위한 산화막 도포
12. Contact 공정
13. 1st Metal 정의
14. 1st Metal to 2nd Metal 절연 공정
15. 2nd Metal층과의 연결 창인 Via 공정
16. 2nd Metal 정의
17. 보호막(Passivation) 도포
18. Pad 정의
19. Wafer Test Line으로 보냄
20. Inking 및 Sawing
21. Package Line으로 보냄
22. Package Test 시행

Metal 1, 2층은 모두 Al을 주로 사용하며 3층, 4층으로 할 수도 있다

ASIC 구현 기술 소개

- ASIC설계 사양에 포함되는 내용
  - ASIC의 사용 온도 조건
    - Military
    - Industrial
    - Commercial
  - ASIC의 동작 전원 조건
  - ASIC 설계 Tool 관련
  - ASIC Chip 관련 정보
    - 설계 방식(Full Custom, CBIC, SOG)
    - 사용 라이브러리 관련 정보(Macro Cell, Mega-Cell)
    - 공정 조건(Design Rule)
  - Package관련 정보
  - System 관련 정보
    - System Block Diagram
    - System Description
  - ASIC Block관련 정보
    - ASIC Block Diagram
    - ASIC Description
    - Timing(Truth Table)

ASIC 구현 기술 소개

Ÿ 입출력 신호에 관한 사양

총괄 정리
- 입출력신호 이름
- Voltage Level
- Pull Up/Pull Down 관련 사항
- 기능 설명

입력신호에 대한 사양 사항
- Input Level
- Reference Signal 정보(Reference Signal 이름이 반드시 있어야)
- Setup Time Margin
- Hold Time Margin
- Package Pin Number
- Die Pad Number
- Active 조건(Active Low?, Active High?)
- 선택된 Pad Cell Name

출력신호에 대한 사양 사항
- Output Level
- Propagation Delay관련 정보
- Sink Current
- Source Current
- Open Drain/Collector 관련 사항
- Tristate 관련 사항
- Package Pin Number
- Die Pad Number
- 선택된 Pad Cell Name

양방향(BiDirectional) 신호에 대한 사양 사항
- Control 신호 명(Control Mode(I/O)?)
- Input, Output Level
- Sink Current
- Source Current
- Propagation Delay
- Package Pin Number
- Die Pad Number
- Tristate?
- Open Drain/Collector?
- 선택된 Pad Cell Name

Clock 관련 사양 사항
- Asynchronous Clock 여부
- Clock의 주기
- Clock의 Duty Cycle
- Crystal Type인지 Oscillator Type인지 확인
- Package Pin Number
- Die Pad Number

기타 사양 관련 사항 기재

ASIC 구현 기술 소개

r Testable Design

Ÿ Testability : 주어진 Test Vector에 의한 Fault Cover로 정의 함

Controllability를 확보하여야 할 회로 요소

- Clock Signals
- Control Signals(Preset, Clear, Enable, Hold)
- Select Signals(Data Select, Data Bus, Address Bus)

Observability를 확보하여야 할 회로 요소

- Control Signals
- Data Lines of Storage Devices(Flip Flops, Counters, Shift Register, RAM, ROM)
- Global Feedback Path
- Data Output of Combinational Logic Devices(Encoders, Multiplexers, Parity Generators)

Ÿ DFT(Design For Testability)

Ad-Hoc DFT Techniques : 설계자가 Testability를 개선할 목적으로 자기 임의로 Test Circuit를 추가하는 것을 말한다

1) Test Points : Decoder, Multiplexer, Shift Register등을 추가로 삽입하여 Design을 수정하여 Testable Design이 되게 한다.

- Logic의 Critical Path를 따라 Test Point를 설정한다.
- 문제의 소지가 있는 곳에 Test Point를 삽입한다
- Controllability를 확보하기 위하여 Test Point를 삽입한다
- Observability를 확보하기 위하여 Test Point를 삽입한다
- Fan-Out이 큰 곳에도 Test Point를 삽입할 수 있다.
- Logic을 제어하는 위치에 Test Point를 삽입한다.

2)Initialization : Master Reset을 이용한 초기화

- Flip Flop을 사용할 때 반드시 Clear단이 잇는 것을 사용해야 위의 Initialization이 확보된다

3) Oscillators and Clocks

: Tester가 Clock Circuit을 직접 제어할 수 있게 한다.

Free Running Internal Clock은 테스트에 난점, 이 때 사용

4) 대규모의 조합논리 회로의 Partition

: 24 Bit 이상의 Counter, 10 Bit 이상의 Divider등을 소규모의 여러 그룹으로 분할 처리하여 준다.

5) Logical Redundancy를 만들지 말라

- Logical Redundancy : Output Value가 모든 Input 조건에 무관한 값을 가지는 경우를 말하며 이러한 경우 Fault Cover가 불가능한 회로가 된 것이다

6) Global Feedback Path

- Local Feedback Loop

: Gate Output이 같은 Gate의 Input으로 연결되는 경우

- Global Feedback Loop

: Gate Output이 같은 연결 Loop의 다른 Gate의 Input으로 Feedback 되는 경우

7) Scan Design

: Shift Register를 사용하여 Test Data를 입력시키는 설계 방법인데 이렇게 Test 회로를 추가하여 Sequential Logic을 Combinational Logic회로로 동작하도록 하여 준다.

- Level Sensitive Scan Design(LSSD)
- Edge Sensitive Scan Design
- Random Access Scan

ASIC 구현 기술 소개

- Core Library
  - 제작 의뢰 Foundry에서 제공

    일반적으로 사용하는 Library가 제공됨

    예) 1. Combinational Logic(AND, OR, NAND, NOR, …)
    2. Sequential Logic(Latch, Flip Flop)
    3. 기타 Foundry Dependent Cells(Repeater, Level Shifter, …)

    특수 목적으로 사용하는 Library
    - Mega-Cell로 표현
    - Foundry 마다 제공하는 종류가 다르다
    - Memory(RAM, ROM)
    - CPU관련 Library
    - Analog Library(Standard Cell화 되어 있음)
    - 기타 제공 가능한 IP(Intellectual Property)

  - Design은 이 Core Library를 이용하여 진행한다

  - 원하는 Library의 유, 무를 미리 파악하여 둔다.

  - Technology Independent 유, 무에 대해서 파악한다

  - HDL을 이용하는 설계를 진행할 경우는 합성(Synthesis)에 대한 주의를 기울여야 한다

  - Test를 고려하는 설계를 항상 염두에 둔다

ASIC 구현 기술 소개

r I/O Library

Ÿ 역시 제작 의뢰 Foundry에서 제공

일반적으로 사용되는 I/O Library(Pad Library)

1) Input Pad Library
2) Output Pad Library
3) Bidirectional Pad Library
4) Tri-State Pad Library
5) Clock 관련 Library : Oscillator, Crystal Pad Library

Level Sensing을 위한 Library

1) TTL Level Shifter
2) CMOS Level Shifter

Slew Rate용 Pad Library

Pull Up, Pull Down용 Pad Library

Open Drain용 Pad Library

Schmitt Trigger 용 Library

Output Current용량에 따른 Library

Power Pad Library

Ground Pad Library

ASIC 구현 기술 소개

- ASIC 설계 Tool(Work Station Version) : Digital 설계용
  - Schematic Entry Tool
    - 제작을 의뢰할 Foundry의 각 종 Library 구비할 것
    - Transistor의 특성을 Best Case, Typical Case, Worst Case 모두에 대해 갖추고 있을 것
    - Entry된 Schematic Check 기능
    - 사용법을 숙지하여야 함
  - Simulator
    - Modeling이 실제에 가깝게 되도록 구비
    - Logic Simulation을 수행함
    - User Interface가 User Friendly Tool로 지향(분석의 용이성)
    - 각 종 Interface의 원활함(Post P&R 등)
  - Back End Design Tool
    - Floor Planning
    - Placement & Routing(Automatic)
    - RC Extraction
    - Design Rule Check
    - Layout Verification(LVS)
    - CIF and GDS Generation Tool
  - HDL 지원 Tool
    - HDL Simulator(Behavioral Simulator)
    - HDL Analysis
    - Synthesis

ASIC 구현 기술 소개

Ÿ 기타 설계 보조 Tool

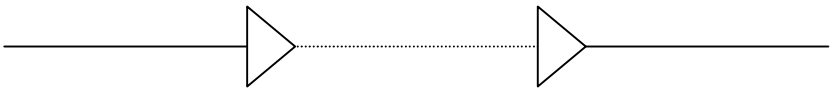
Gate Count
Critical Path
Buffering
Delay Calculation
Test Support : Test Vector Generation & Confirmation
Toggle Check
Fault Simulator(ZYCAD)
Power Calculation
Bonding Tool
Hardware Accelerator
Mega-Cell Compiler
Hardware Emulator(QUICKTURN, IKOS)
Algorithm Design

Ÿ FPGA Design Tool

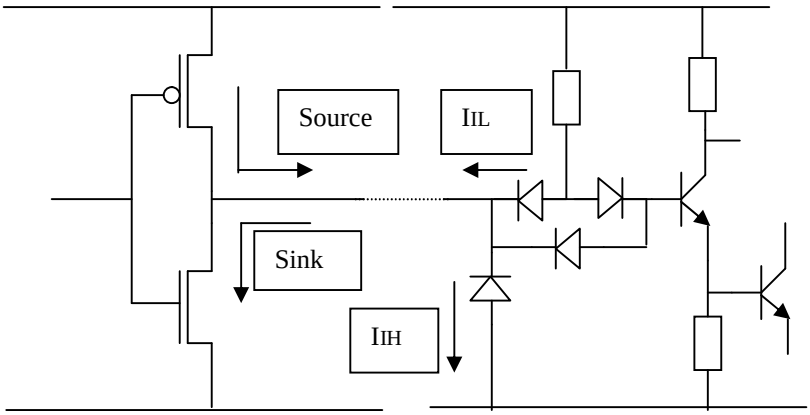
ALTERA
XILINX
ACTEL
QUICKLOGIC
LATTICE
AT&T

ASIC 구현 기술 소개

r CMOS와 TTL의 I/O에 관하여



CMOS와 TTL의 Interface



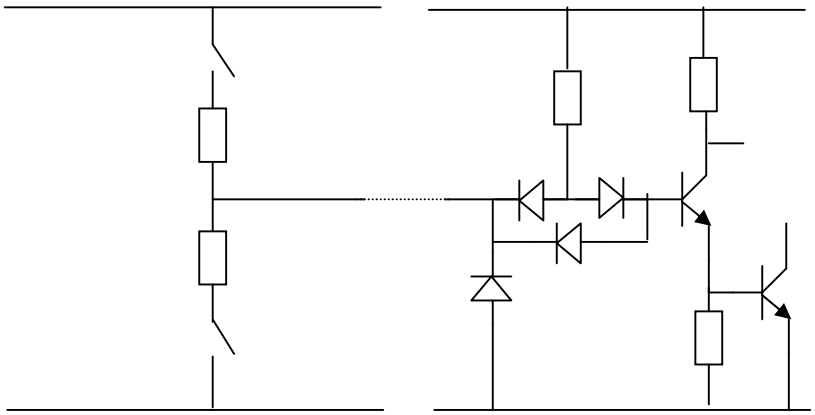
Sink Current = I_{IL}(0.4mA) X Fanout

Sink Current와 Source Current를 결정할 때 Speed 측면을 고려
(Delay 요소 고려)

통상 Digital ASIC의 경우에는 Sink Current와 Source Current가 같은 것을 사용(즉, 2mA Output Pad라 하면 Sink Current와 Source Current 가 모두 2mA를 통상적으로 사용한다)

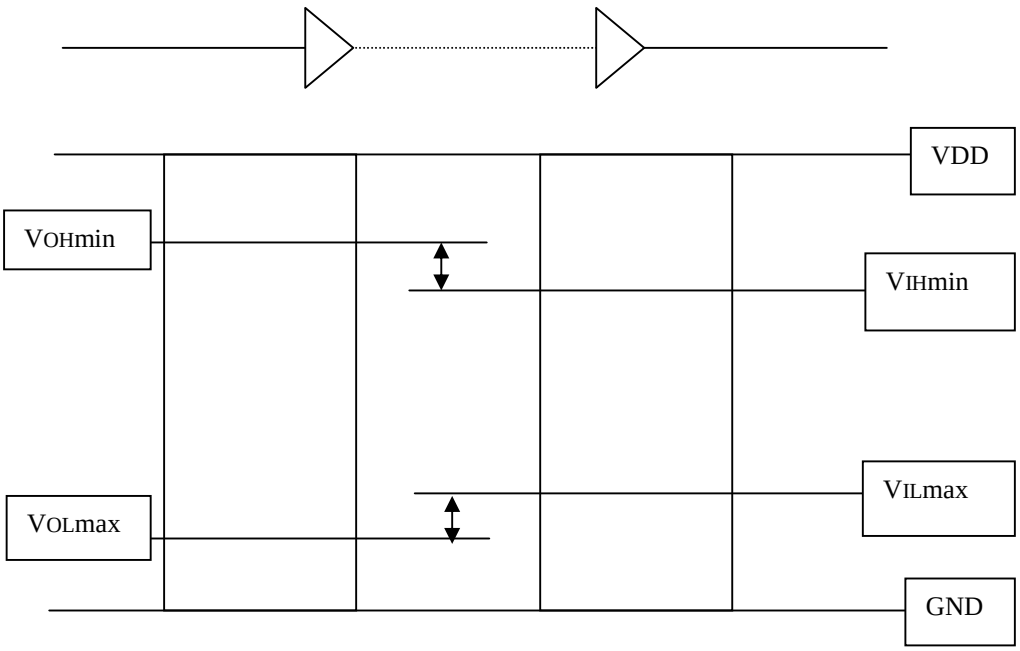
ASIC 구현 기술 소개

- CMOS TTL I/O의 등가 회로



Slew Rate　　Schmitt Trigger

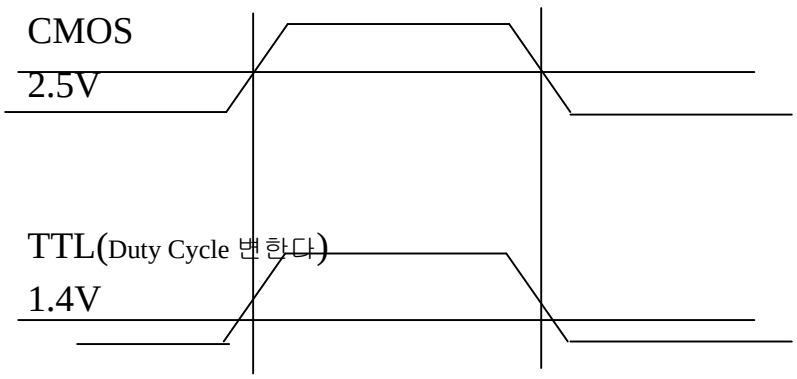
r Noise Margin



CMOS VOHmin = 4.5V VIHmin = 3.5V
VOLmax = 0.4V VILmax = 1.5V

TTL VOHmin = 2.4V VIHmin = 2.0V
VOLmax = 0.4V VILmax = 0.8V

CMOS와 TTL 입력에 대한 문턱전압 특성



r Ground Bouncing에 대하여

Ÿ Output Pad의 동시 스위칭시 Ground Reference가 흔들리는 현상
(동시에 Output Pad가 스위칭을 하면 IC의 Bonding Wire와 Package의 Lead Frame Inductance에 의한 역기전력이 발생하여 IC내부의 Ground Reference가 Bouncing하게 된다.)

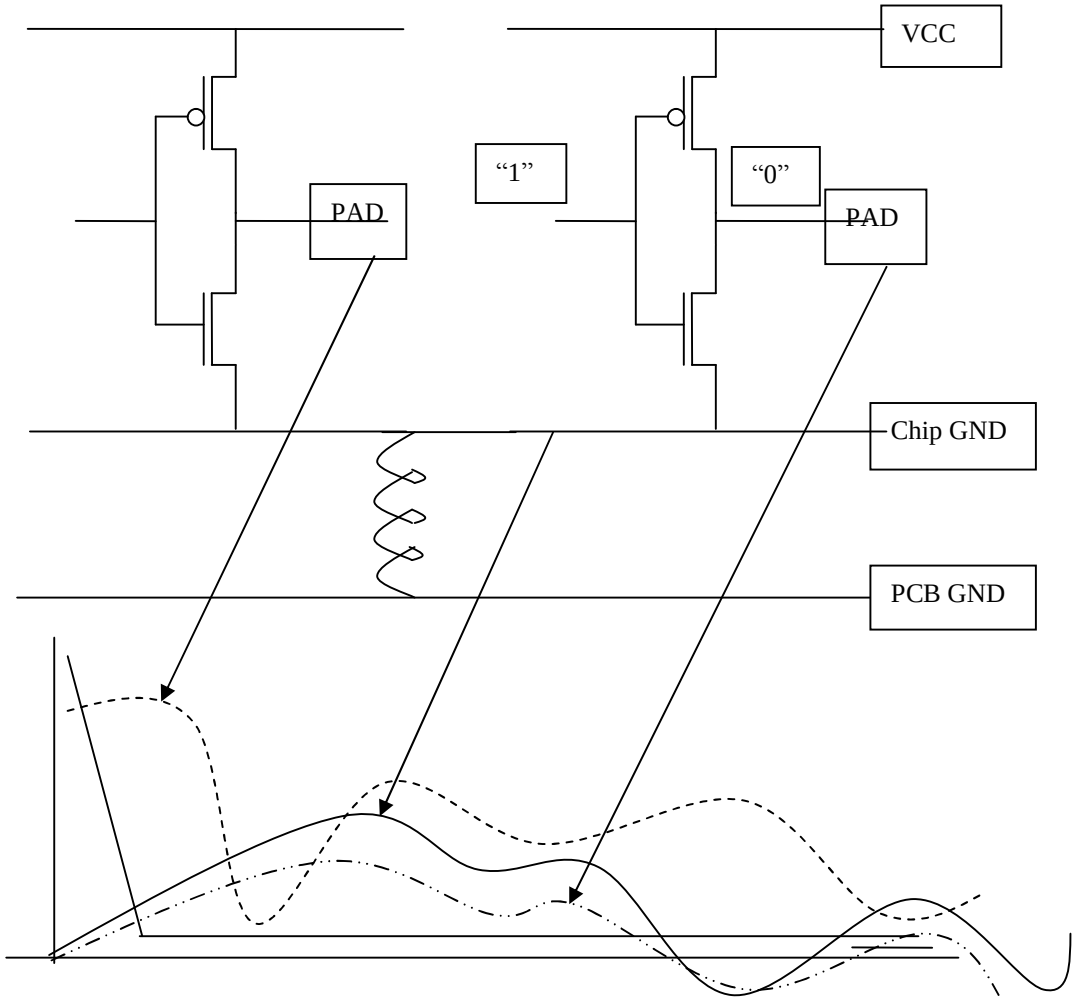
Ÿ 일종의 Noise가 발생한 형태가 된다.

Ÿ Ground Bouncing이 디지털 로직을 분간 못하게 만들 정도가 되면 전체 시스템에도 Noise가 전가되는 결과를 빚게 된다.
(즉, 결과적으로 오동작을 시키는 것이 된다)

Ÿ TTL Logic의 경우가 CMOS 보다 Ground Bouncing에 더 민감하다
(CMOS는 Logic Threshold가 VDD/2, 즉 2.5V인데 반하여 TTL의 경우의 Logic Threshold는 1.4V이기 때문이다)

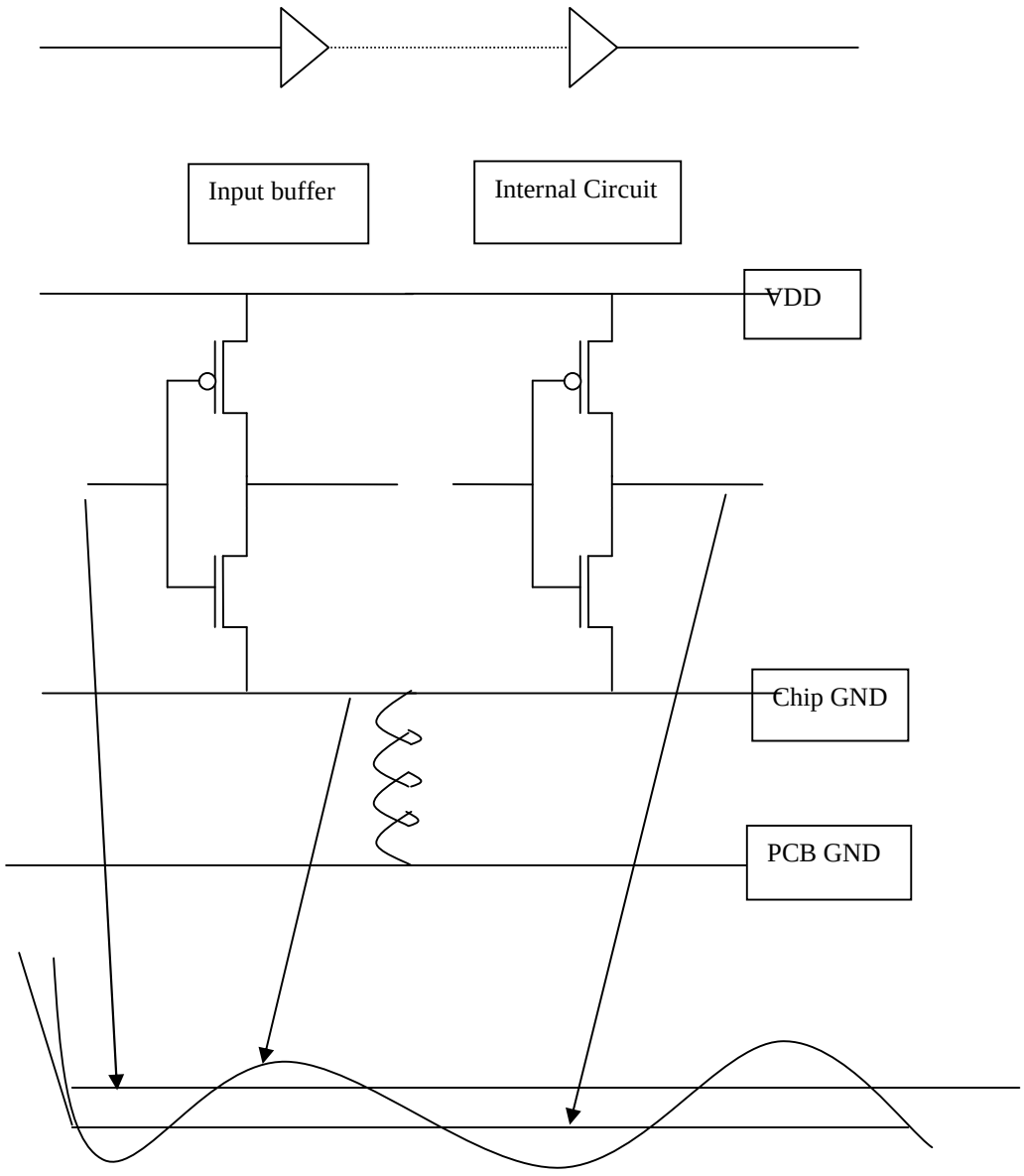
Ÿ Ground Bouncing을 감소시키는 설계 방법
정확한 SSO를 알아내어 적절한 Power Pin 수를 확보한다.
전달지연에 문제가 없는 경우에는 Slew Rate Output Pad를 사용한다.
Fanout에 적절한 Output Pad를 선택하며 되도록 과다한 Fanout의 사용을 억제한다.
입력 시간을 달리하여 동시 스위칭 수를 줄인다.
Internal, External을 분리하여 Power Pin을 배정한다.
Double Bonding등으로 Inductance를 감소 시켜 본다.

r Ground Bouncing(External)



ŸExternal Power Pin 결정에 고려하여야 할 사항

- Ground Bouncing(Internal)



- Internal Power Pin 결정에 고려하여야 할 사항

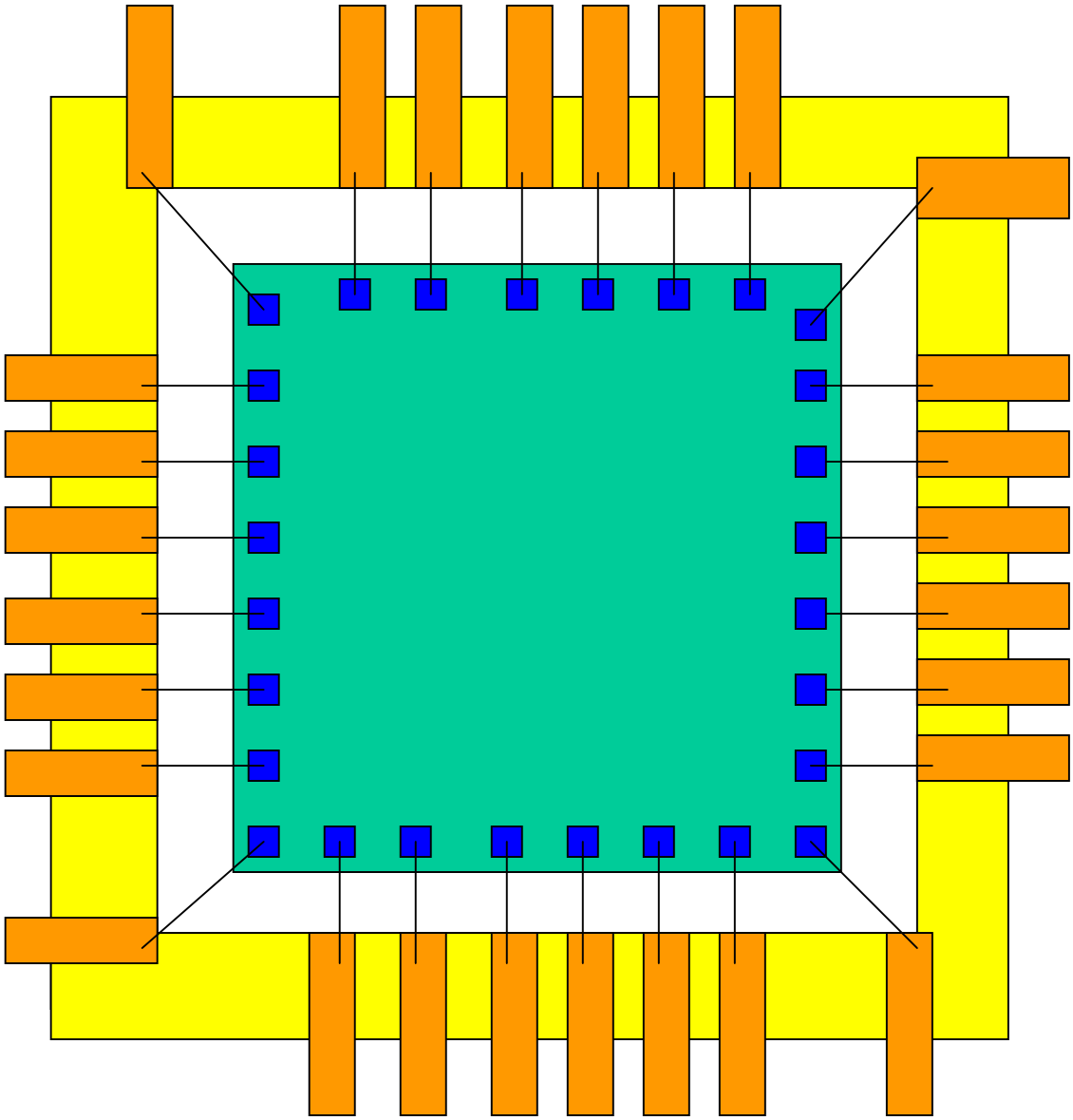
r Power 계산(예제는 뒤에)

ŸPower calculation sheet

ASIC 명 _____ ASIC code

1. Series mW/gate P = mW/MHz/gate
2. 평균 동작 주파수 F = MHz
3. 동시 스위칭 게이트 비율(보통 0.2) S =
4. 사 용 온 도 Ta = ℃
5. Gate 수 G =
6. 출 력 핀 수 B =
7. 출력 부하 capacitance C = PF
8. 내 부 전 력 소 모
   Pint = P * F * S * G Pint = mW
9. 외 부 전 력 소 모
   Pext = 0.035 * F * B *0.2 * C Pext = mW
10. DC 출 력 소 모 합 Pdc = mW
11. 전체 전력소모 합
    Ptot = 0.001 * (Pint + Pext + Pdc) Ptot = W
12. 패키지의 theta JA ℃/W
13. Junction temperature
    Tj = (Ptot * theta JA) + Ta Tj(best) = ℃
    Tj(typical) = ℃
    Tj(worst) = ℃
14. Delay factor (Junction temperature * Vdd * Process)
    Best case = * * =
    Typical case = * * =
    Worst case = * * =
15. SSO에 의한 power pin수 계산
    외부 Vdd pin수 =
    외부 Vss pin수 =
    내부 Vdd pin수 =
    내부 Vss pin수 =

r Bonding Diagram



ASIC 구현 기술 소개

- Pin 배치에 있어서의 고려 사항

  - SSO에 의한 Power Pin 수를 정확하게 계산한다.

  - Double Bonding등을 고려한 Power Pad 수도 Power Pin 수와 같이 고려하여 산정한다.

  - 입출력에 관계되는 Pin수를 정확하게 한다.

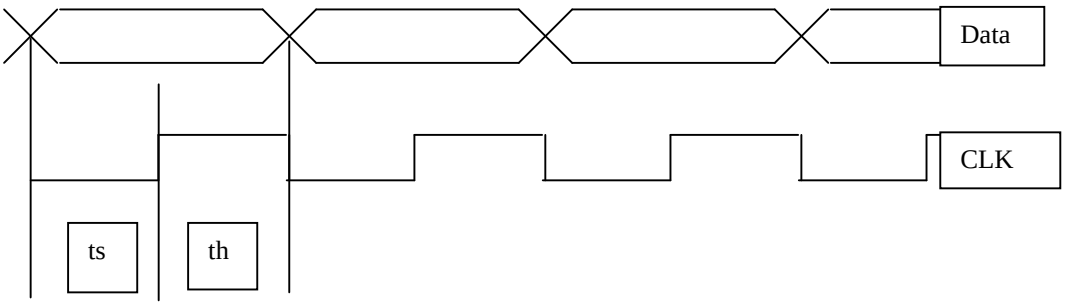
  - Test용 Pin을 구별하여 둔다.

  - 출력 Pin을 일정 부분에 집중적으로 배치하지 않는다.
    (출력 Pin에서 전력 소모가 많이 생겨서 온도가 상승하게 되고 이로 인한 신뢰성의 저하가 발생할 수 있으며 이로 인해 일정 부분에서 Delay의 영향이 크게 나타날 수 있다.)

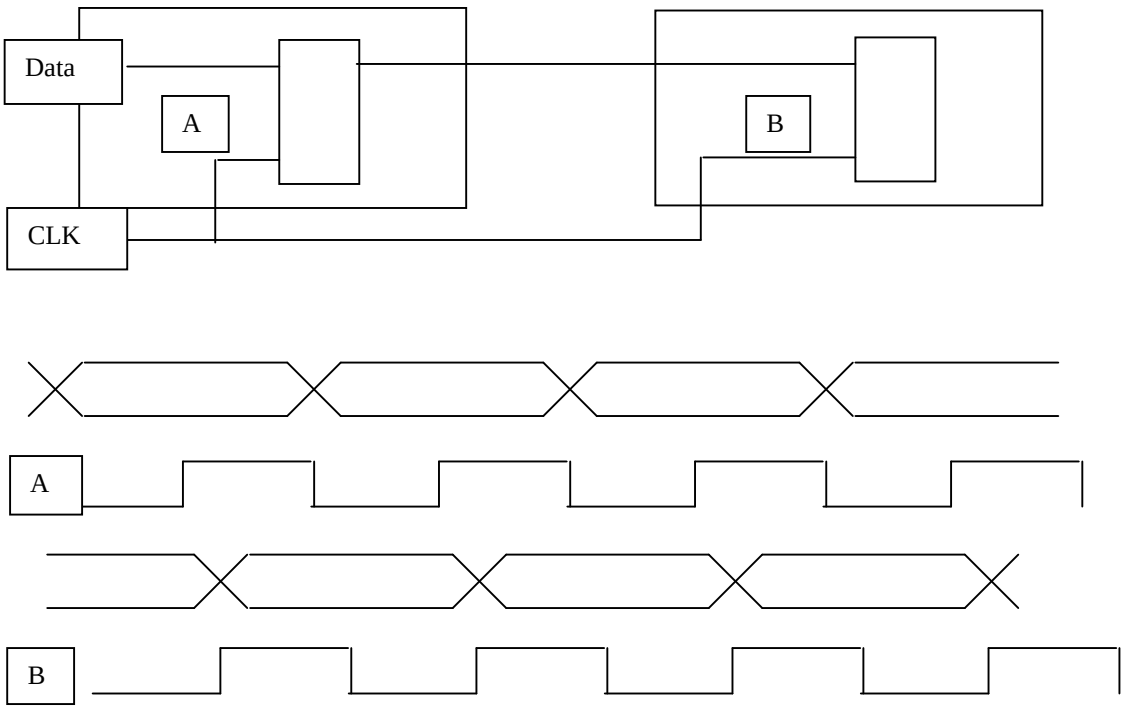
  - 위의 문제를 피하기 위해 되도록 Power Pin(External Power Pin)을 출력 Pin 사이 사이에 배치한다.

  - Internal Power Pin은 Chip의 한면 중앙부에 배치한다.

r Setup & Hold Time

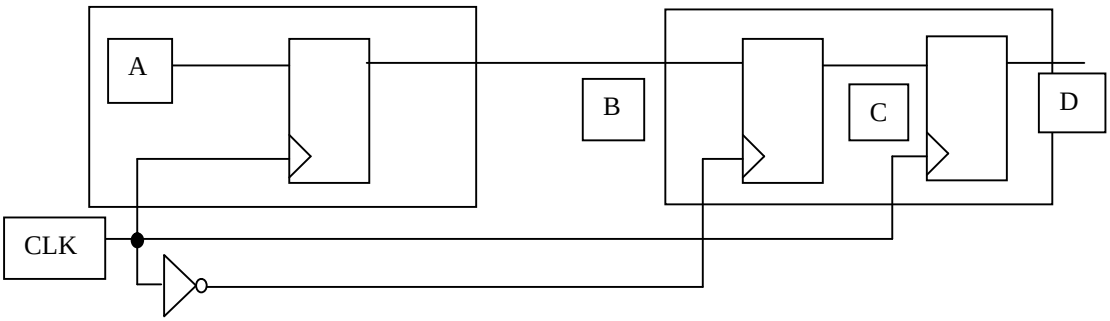


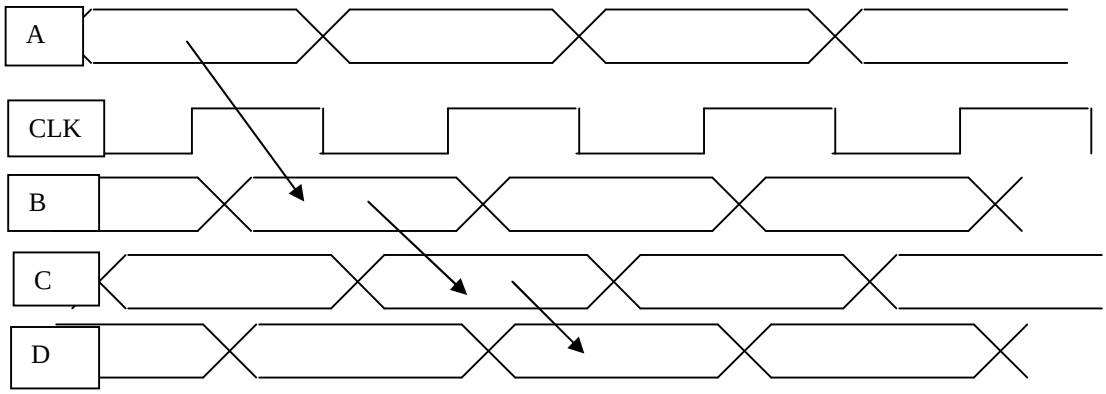
r Clock Skew



ASIC 구현 기술 소개

r Clock Skew의 영향을 적게 하기 위한 적용 예





Ÿ 주의점 : Duty Cycle에는 영향을 받음

ASIC 구현 기술 소개

r 회로 설계 시 주의 점

- Ÿ 되도록 Synchronous Design이 되도록 한다.
- Ÿ Delay Chain, Ring Oscillator등은 사용하지 않는다.
- Ÿ Gated Clock의 사용을 피한다.
- Ÿ Glitch를 해소할 수 있는 설계를 한다.
- Ÿ Combinational Circuit의 Function Hazard(Glitch 현상)를 방지하는 설계를 한다.
- Ÿ PCB상의 회로를 그대로 ASIC화하고자 할 때는 PCB상의 수동소자 들을 제거하고 검토한다.
- Ÿ Tri-State의 사용에 있어서는 그 Floating의 상태를 주의한다. (내부 회로에는 되도록 쓰지 않는다.)
- Ÿ Critical Path를 항상 고려하면서 설계한다.
- Ÿ 적절한 입출력 패드를 선택하여야 한다.
- Ÿ 3가지 조건을 충족하는 설계가 되도록 한다. (3가지 조건: Worst, Typical, Best Case)

ASIC 구현 기술 소개

- Fault Simulation
  - 양산시 Good Chip의 개수를 얼마나 많이 확보할 수 있는가의 관건
  - 설계자가 Fault Coverage를 향상시키면 많은 수의 Good Chip을 확보할 수 있으나 Fault Simulation을 하지 않으면 적지 않은 Bad Chip을 전달 받을 수 있음
  - Fault Simulation의 결과가 Test Vector에 포함이 되어 양질의 Test 조건을 확립할 수 있다
  - Stuck-at-0 Type Fault
  - Stuck-at-1 Type Fault
  - Fault Simulation의 진행과정

    첫번째 수행한 Logic Simulation(Good Circuit에 대한 Simulation을 수행한 것으로 간주함)의 결과에 따라 Pin을 특정한 로직 값으로 고정을 시켜 둔다.

    Fault Simulator가 회로에 Fault(Faulty Circuit)를 삽입한다.

    Simulation을 수행하여 첫번째의 Logic Simulation 결과와 비교한다.

    비교 결과가 다르면 Fault가 검출이 된 것이고(즉, 첫번째 Logic Simulation이 Fault Cover를 한 것), 비교 결과가 같으면 Fault가 검출이 안된 것이다.

  - Fault가 검출이 안된 부분은 공정상에서 Fault가 발생했을 경우 이를 Chip Test상에서 걸러 주지 못한다.

ASIC 구현 기술 소개

r Package 관련

Ÿ Vendor가 가진 특성을 파악한다.

(Power Pin 결정과 Power Line의 배치는 각 Vendor 마다 다르다. 한 예를 들어)

Ÿ 정확한 Pin 수를 계산한다.

(위 Vendor에 따라서 계산을 한다. 통상 해당 Vendor Engineer의 도움을 받아서 진행한다)

Ÿ 적당한 Package를 선택한다.

Ÿ Pin들에 대한 배치를 효율적으로 한다.

(위 “Pin배치에 있어서의 고려사항” 참조)

Ÿ 테스트용 Pin을 고려하고 그에 대한 배치에 있어서 주의를 기울여 놓는다.

Ÿ Bonding Diagram을 그린다.

Ÿ Bonding Diagram에 대한 Confirmation을 한다.

Ÿ 실장 테스트를 위해 해당 Package의 소켓을 확보한다.