

News

2003-3

& Views

Newsletter for Altera Customers

Get ASIC Gain without the Pain

Introducing the HardCopy Stratix Device Family (page 4)

이번 호의 주요 내용:

- Quartus II 소프트웨어 3.0 버전의 탁월한 Physical Synthesis
8 페이지
- SOPC World 2003 무료 컨퍼런스 개최 : Roadmap to the Future
25 페이지
- HardCopy Questions & Answers
27 페이지

20 YEARS of

ALTERA
INNOVATION

NV-2003-3

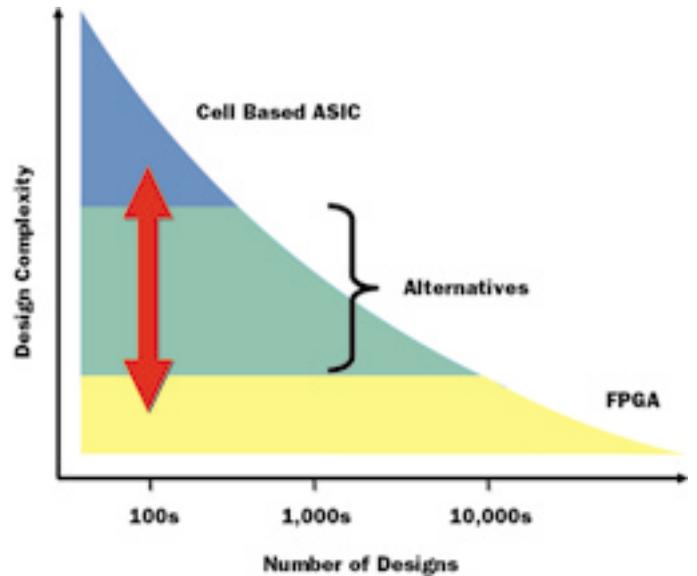


HardCopy Stratix – 고객의 요건을 갖춘 디바이스

업계 전반에 걸쳐 ASIC 개발 비용의 증가가 우려되고 있다는 사실은 더 이상 비밀이 아닙니다. 매년 새로운 공정이 시작될 때마다 개발 비용이 계속해서 증가하고 있으므로 대부분의 시스템 설계자들은 증가된 투자 비용이 정당화될 수 있도록 요구 받고 있습니다. ASIC은 나름대로의 고유한 위치를 확보하고 있습니다. 특정 부류의 대량 생산형, 고집적도 그리고 고성능 어플리케이션에 대하여 매우 적합한 솔루션으로서 자리를 고수하고 있습니다. 그러나 이러한 대량 생산형 어플리케이션의 종류는 지속적으로 줄어들고 있습니다. 수백만 달러에 이르는 초기 비용을 필요로 하는 ASIC은 라우터나 모뎀, 셋-탑 박스, 기업 스토리지 시스템, 프린터, HDTV 등과 같은 수 십만대에서 수백만 대의 물량을 가진 어플리케이션에 대하여 그다지 적절한 선택이 될 수 없습니다. 이와 같은 어플리케이션은 경제적인 새로운 솔루션을 필요로 하고 있으며 따라서 칩 업계에는 만족할만한 솔루션 제공에 공백이 생기게 되었습니다. 바로 양산 수량이 ASIC의 비용을 충당하기에는 적은 편이고 FPGA 만으로는 전체적인 시스템 요건을 충족하지 못하는 어플리케이션 영역입니다(차트 참조).

알테라는 이미 이러한 시장에 착안하여 2001년 10월에 최초의 HardCopy™ 디바이스를 소개한 바 있습니다. 이 FPGA-기반의 ASIC 대안은 전체적인 실리콘 비용을 70퍼센트 가량 낮추는 한편, 전형적인 ASIC 개발 주기를 구상 단계에서부터 생산단계까지 15개월에서 8개월로 크게 단축하였습니다.

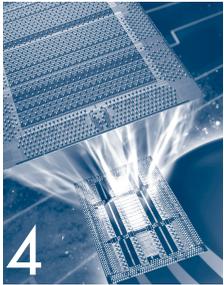
올해, 알테라는 HardCopy Stratix™ 디바이스의 소개로 리더로서의 위치를 더욱 공고히 하는 진일보를 이루었습니다. 설계 방식이 독창적인 새로운 HardCopy 시리즈는 Quartus® II 소프트웨어 3.0 버전에서 지원됩니다. ASIC의 경우와 같이 FPGA 설계자도 이제 설계 시작 단계부터 HardCopy 디바이스를 대상으로 개발할 수 있습니다. Quartus II 설계 소프트웨어는 설계자들이 동급 Stratix™ 디바이스에 비하여 대략 50%의 성능향상과 40% 전력 소모를 절감할 수도 있게 해주는 HardCopy Stratix™ 디바이스의 풍부한 장점들을 활용하는데 필요한 타이밍 및 전력 사용량 예측 툴 일체를 갖추고 있습니다. 알테라의 IP(Intellectual Property) 코어-특히 많은 호응을 얻고 있는 Nios® 임베디드 프로세서가 그대로 그리고 별도의 로열티를 필요로 하지 않고 HardCopy Stratix 디바이스에 마이그레이션될 수 있습니다.



상대적으로 적은 생산 물량에 대해서는 FPGA를 사용하고 대량 생산에 대하여 HardCopy 디바이스를 사용할 수 있습니다. 또한 HardCopy 사용 전 단계의 프로토타이핑용으로 FPGA를 사용하는 것도 가능합니다. 고정관념을 바꾸세요. 위험성이 전혀 없는 이러한 모든 선택권이 오직 2천 달러의 Quartus II 툴에 담겨 있습니다. 결국, 시스템 설계자는 신속하고 비용-효율적인 시스템 개발을 위하여 필요로 하는 모든 유연성을 가질 수 있습니다.

News & Views 이번 호에서 HardCopy Stratix 및 Quartus II 소프트웨어 3.0 버전에 대하여 더 많은 정보를 얻게 되길 바랍니다. 그들은 각각의 설계자들이 완전한 설계 컨트롤을 가질 수 있도록 독창적이고 탁월한 조화를 이루고 있습니다.

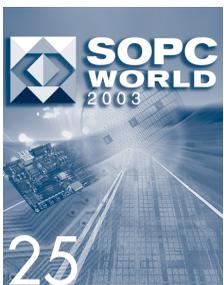
Tim Colleran,
제품 마케팅 부사장



Get ASIC Gain without the Pain



Quartus II Software Version 3.0



SOPC World

Features

Get ASIC Gain without the Pain: HardCopy Stratix 디바이스 제품군 소개4
 Quartus II 소프트웨어 3.0버전의 탁월한 Physical Synthesis8

Devices & Tools

HardCopy: 총체적인 ASIC-대안10
 모든 Cyclone 디바이스 현재 양산 중10
 모든 Stratix 디바이스 현재 양산 중11
 고속 시스템 이슈 충족12
 Quartus II 3.0 버전의 소프트웨어 개발 팩 공급12
 Nios 개발 키트, Stratix 프로페셔널 에디션 현재 공급13
 MAX 3000A 인터스트리얼 온도 등급 및 확장 온도 범위 지원15
 Quartus II 소프트웨어 3.0 버전, 설계 주기 40 퍼센트 단축16

Contributed Article

Precision RTL Synthesis로 고성능 DSP 설계 구현19

Technical Article

IP를 사용, FPGA에 DDR SDRAM 직접 연결21

Altera News

알테라의 University Program23
 알테라의 핸드북 소개 -제품 자료에 대한 간편한 액세스24
 SOPC World 2003 무료 컨퍼런스 개최 : Your Roadmap to the Future25
 알테라 교육 정보26

Questions & Answers

HardCopy Questions & Answers27

Altera, ACAP, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20K2, APEX 20K6, APEX II, Atlantic, Avalon, BitBlaster, ByteBlaster, ByteBlaster II, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSys, Cyclone, DirectDrive, E+MAX, Escalibur, FastLUT, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX10K2, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Flexible-I2VDS, HardCopy, HardCopy Stratix, IP, MegaStore, Jam, LogicLock, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 5000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, Mercury, MultiCore, MultiVio, MultiTrack, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, PowerGauge, Quartus, Quartus II, RapidLAB, SignalCore, SignalProbe, SignalTap, SignalTap Plus, SignalTap II, SoftMode, Stratix, Stratix GX, Terminator, The Programmable Solutions Company, TriMatrix, True-I2VDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. ARM and Multi-ICE are registered trademarks and ARM922T and ETM9 are trademarks of ARM limited. HP-UX is a trademark of Hewlett-Packard Company. HyperTransport is a trademark of HyperTransport Consortium. Intel and StrongARM are registered trademarks of Intel. Mentor Graphics is a registered trademark and Exemplar, LeonardoSpectrum, and ModelSim are trademarks of Mentor Graphics Corporation. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. PALACE is a trademark of Aplis Design Technologies, Inc. RapidIO is a trademark of RapidIO Trade Association. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Symplicity, Symplicity Pro are registered trademarks of Symplicity, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader. Copyright© 2003 Altera Corporation. All rights reserved.



Publisher:

John Panattoni

Technical Editor:

Justin Bennett

Cover Layout:

Paula Cruz

101 Innovation Drive

San Jose, CA 95134

Tel: (408) 544-7000

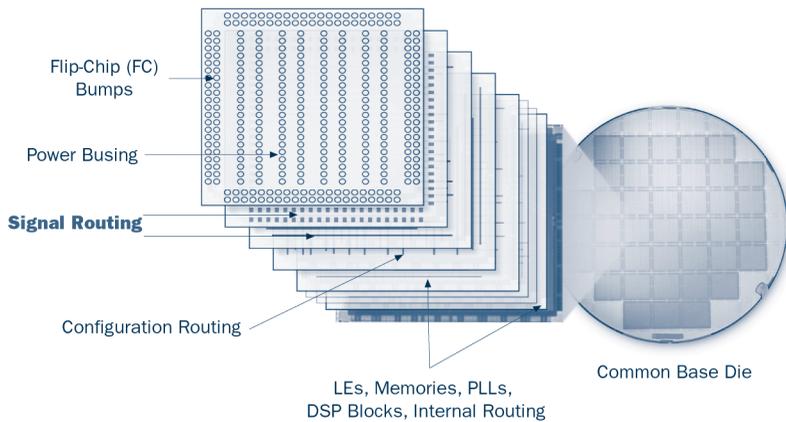
Fax: (408) 544-7809

n_y@altera.com

Get ASIC Gain without the Pain: HardCopy Stratix 디바이스 제품군 소개

총체적인 ASIC 대안으로서 알테라의 HardCopy Stratix™ 디바이스는 업계 유일하게 고집적도 설계에 대하여 시제품 단계부터 양산까지 두루 사용 가능한 솔루션이다. 공정이 더욱 미세화됨에 따라 0.13-마이크론 설계에 대하여 마스크 및 웨이퍼 비용이 6십만 달러 정도인데 반하여 90nm 설계에 대하여 1백 5십만 달러까지 비용이 들게 된다(Electronic Business, 2003년 5월 1일자 "Sticker Shock for Photomasks" 참조). ASIC 설계는 고가의 툴과 오랜 제품 개발 주기 그리고 수백만 게이트 디바이스를 개발하는 데 필요한 막대한 엔지니어링 자원 등 초기에 매우 많은 투자를 요한다. 더욱이 불확실한 시장 조건과 반복되는 리-스핀 작업 때문에 소비되는 시간으로 인한 시장 기회 손실 등은 ASIC 사용의 위험을 증가시킨다.

이러한 기술적, 경제적 과제들은 ASIC 설계 및 개발의 기본적인 변화를 가져오고 있다. ASIC에 대한 대안-가장 빠른 시간과 가장 낮은 개발 비용으로 첫번째 시도에서의 확실한 성공을 보장할 수 있는 솔루션이 필요하다.



HardCopy Stratix Silicon Technology

ASIC Gain without the Pain

알테라의 HardCopy Stratix 디바이스는 위에서 언급한 이와 같은 문제들-막대한 개발 비용과 불확실한 시장 조건, 장기간의 설계 및 개발 주기 그리고 제대로 동작하지 않는 실리콘의 위험성-을 해소 하고 있다. Quartus® II 소프트웨어 및 다양한 IP(Intellectual Property) 포트폴리오와 함께 HardCopy Stratix 디바이스는 위험성이나 높은 개발 비용 없이 ASIC에 대한 총체적인 대안을 제공한다.

HardCopy 디바이스는 프로그래밍 기능을 배제하여 다이-크기가 크게 축소되었으며 동일한 FPGA의 아키텍처와 특성을 보존한 저가격의 마스크-프로그램된 디바이스이다. 귀하는 최소한의 위험과 최저가의 비용 그리고 가장 빠른 타임-투-마켓을 가진 마스크-프로그램된 디바이스로 마이그레이션하기 전에 FPGA의 유연성뿐만 아니라 동일 실리콘과의 신속한 설계 변경 및 정확한 기능 구현을 위한 인-시스템 설계 검증이 가능한 FPGA를 설계해 볼 수 있다. 현재 어떤 경쟁사도 제공하지 못하고 있는 이 기능은 귀하가 탁월한 디바이스 특성을 구현하고 경쟁사와 차별화된 솔루션을 구축할 수 있도록 해준다.

HardCopy Stratix 디바이스

알테라의 제 2세대 HardCopy 디바이스인 HardCopy Stratix 디바이스는 업계-선도적인 Stratix™ FPGA의 아키텍처와 특성에 기반하고 있으며 ASIC 게이트 집적도 대비 30만에서 1백 5십만 표준 셀 게이트(디지털 시그널 프로세싱: DSP 블록을 포함)를 제공한다. 그들은 특정 자원의 집적을 위하여 여러 설계에서 일반적으로 사용되는 베이스 어레이 세트를 사용하여 제조되며 상위-레벨의 메탈 레이어들에 대하여 커스터마이제이션을 할 수 있다. 표1을 참조하자.

동급 Stratix FPGA의 특성을 보존함으로써 HardCopy Stratix 디바이스는 다양한 어플리케이션에서 사용되고 있는 검증된 아키텍처 및 뛰어난 특성 등 완벽한 공정 테크놀러지의 이점을 갖는다(알테라는 이미 Stratix FPGA를 1년 이상 공급하여 오고 있다). 동시에 HardCopy Stratix 디바이스는 동급 FPGA에 비하여 60에서 70퍼센트까지 다이-크기를 축소하였다. 이러한 가격 이점은 고객으로 하여금 제품의 경쟁 우위를 확보하고 시장의 요건에 더욱 신속하게 대응할 수 있도록 해준다.

더욱이 HardCopy Stratix 디바이스는 동급 Stratix FPGA에 비하여 평균 50퍼센트 더 빠르며 최대 40퍼센트까지 전력 소모를 감소하였다. "Single Tool Delivers Unified Design Methodology" 섹션을 참조하면 HardCopy Stratix 디바이스의 성능을 증가시킬 수 있는 방법에 대하여 자세히 알 수 있다.

HardCopy Stratix 디바이스는 differential signaling을 지원하는 고속 PLL(Phase-Locked Loop) 및 고속 I/O 핀, 그리고 효율적이고 신속한 연산 기능을 구현하는데 사용될 수 있는 DSP 블록과 같은 탁월한 커스텀-설계된 특성들을 갖고 있다. 이러한 복잡한 설계 블록이 ASIC에서는 다른 로직과 결합될 수 있는, 여러 벤더의 IP 코어로서 존재하기는 하지만 관련 성능이나 기능에 대한 위험을 감수하고 통합과 검증 이슈들을 처리해야 한다.

Table 1. HardCopy Stratix Device Family						
Device	LEs	Total RAM Bits	DSP Blocks	PLLs	Max. User I/O Pins	Package
HC1S25	25,660	1,944,576	10	6	473	672 FineLine BGA®
HC1S30	32,470	2,137,536(1)	12	6	597	780 FineLine BGA
HC1S40	41,250	2,244,096(1)	14	6	615	780 FineLine BGA
HC1S60	57,120	5,215,104	18	12	773	1,020 FineLine BGA
HC1S80	79,040	5,658,048(1)	22	12	773	1,020 FineLine BGA

Note to Table 1:

(1) The number of M-RAM blocks in HardCopy Stratix devices is less than their FPGA counterparts.

첫번째 실리콘 제조의 성공이 가장 빠른 타임-투-마켓을 의미

설계 내부 연결 및 패키징에 앞서 제조된 베이스 어레이 세트는 확실한 비용 및 타임-투-마켓 이점을 제공한다. 그러나 만약 제대로 동작하지 않는 실리콘과 같은 위험성이 제거되지 않는다면 개발 비용을 줄이고 생산 디바이스를 가장 빠른 시간 내에 제공하고자 하는 목표는 달성할 수 없을 수도 있다. 다시 말하면, 첫번째 실리콘 제조에서 확실한 성공이 필수적인 것이다.

HardCopy Stratix 디바이스는 가장 짧은 시간 안에 많은 양의 디바이스를 공급하고자 앞에서 언급한 것과 같은 베이스-어레이 방식을 사용하기도 하는 한편 또한 그들은 FPGA에서 입증된 설계를 마이그레이션할 수 있는 능력을 갖고 있다. 네트리스트가 그대로 사용되기 때문에 검증된 네트리스트는 위험을 최소화하는 한편 검증 시간을 크게 줄여준다.

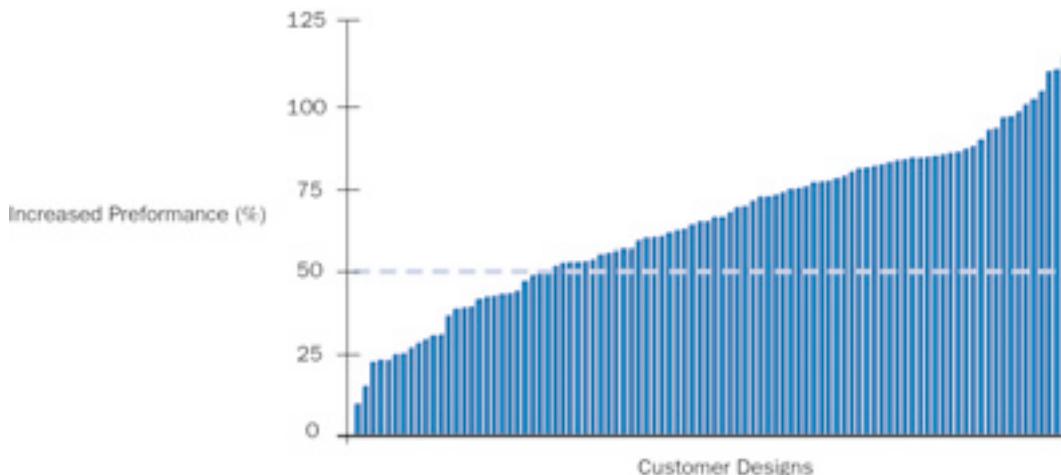
두 번째로 베이스 어레이는 동급 FPGA와 동일한 공정 테크놀로지에서 제조된다. 새로운 설계 라이브러리로 다시 타겟할 필요가 없으며 합성이나 검증이 필요하지 않아 설계 주기에 있어 많은 시간을 절약할 수 있다.

결국, 베이스 어레이는 동급 FPGA의 다양한 특성을 보존하여 고성능 FPGA 특성의 재설계나 검증이 필요 없게 된다. FPGA 설계를 ASIC으로 전환하는 동안 이러한 특성을 그대로 옮기는 것이 가능하다. 그러나 설계 시간이나 노력, 또 기능과 성능상의 불일치 등과 같은 위험이 수반된다. 여러 ASIC 대안 솔루션이 이러한 구조를 설계에 사용하지 않는 것은 당연하다고 하겠다.

HardCopy Stratix 디바이스는 경쟁 솔루션과 유사한 제조 공정 비용 및 시간 이점을 제공할 뿐만 아니라 첫번째 설계에서 실리콘 성공을 보장함으로써 가장 빠른 타임-투-마켓을 제공하는 유일한 솔루션이다. 알테라는 HardCopy 디바이스로 첫번째 제조에서 100 퍼센트 성공하였다. 경쟁 솔루션은 그러한 강력한 ASIC 대안을 제공할 수 없다.

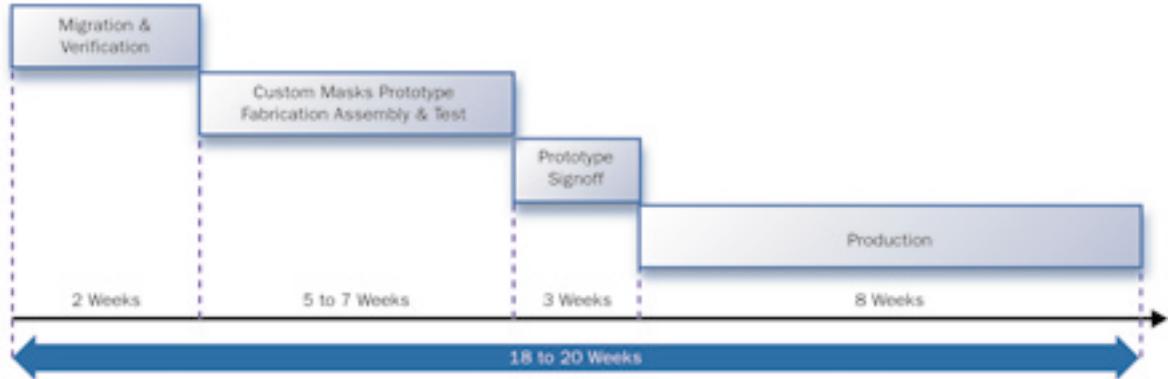
HardCopy Stratix devices not only offer the manufacturing process cost and time benefits similar to competing solutions, they are the only solution to provide the fastest time-to-market with guaranteed first-silicon success.

6페이지에서 계속



HardCopy Stratix Device Performance

HardCopy Device
Time-to-Market



단일 툴로 통합된 설계 방식 제공

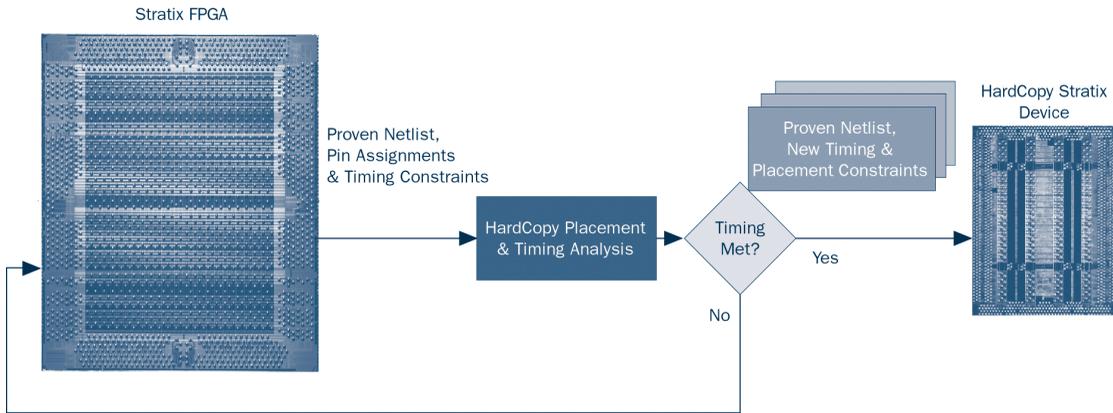
전통적으로 ASIC 설계 및 개발 툴은 수십만 달러의 비용을 동반한다. 공정이 축소됨으로써 또한 cross-talk, power-hungry 블록의 배치도, 그리고 supply ring의 정확한 레이아웃과 같은 물리적인 설계 이슈들을 해결할 필요가 생겼다. 이러한 이슈들 때문에 다양한 툴이 더 필요하게 되었으며 툴 비용이 증가되었다.

HardCopy Stratix 디바이스는 첨단 Quartus II 설계 소프트웨어로 설계될 수 있다. 위에 열거된 이슈들은 ASIC과 마찬가지로 HardCopy Stratix 디바이스와도 관련 있기 때문에 베이스 어레이는 이미 이러한 기술적 사양을 충족하도록 설계되었다. 테스트된 FPGA 아키텍처를 보존할 수 있는 장점을 지닌 Quartus II 툴은 HardCopy Stratix 디바이스의 모든 기술적 세부 사항들을 포함하고 있으며 별도로 다른 툴이 필요 없다.

Quartus II 설계 소프트웨어 3.0 이상의 버전은 귀하가 HardCopy Stratix 디바이스를 직접 설계하거나 HardCopy Stratix 디바이스로 마이그레이션 하기 전에 Stratix FPGA를 설계할 수 있도록 해준다. 전자의 경우는 Quartus II 소프트웨어 내에서 “가상의” Stratix FPGA를 대상으로 설계한다. 귀하는 설계 데이터베이스를 알테라에 전달함으로써 고정된 기능의 디바이스로 마이그레이션하기 전에 시뮬레이션을 통하여(정상적인 ASIC 설계 플로우에서 처럼) 기능과 타이밍을 검증하게 된다. 후자의 경우는 FPGA 설계를 프로토타이핑하여 마이그레이션하기 전에 인-시스템 기능을 검증해볼 수 있다.

귀하는 Stratix FPGA 설계의 성능을 보존하거나 혹은 Stratix FPGA를 사용하여 얻을 수 있는 것 이상의 성능 향상을 얻을 수 있다. 귀하는 HardCopy Timing Optimization Wizard를 이용하여 마이그레이션하기 전에 설계를 최적화하고 평균 50퍼센트의 성능 향상과 대략 40퍼센트의 전력 소모 감소를 얻을 수 있다 (Stratix FPGA에 구현된 설계와 비교하였을 때). HardCopy Timing Optimization Wizard는 시스템 성능에 대한 불필요한 예측 수고를 덜어 주며 뛰어난 설계 장점을 제공한다.

HardCopy Stratix devices can be designed with the state-of-the-art Quartus II design software.



HardCopy Device Performance Optimization

전환이 아닌 마이그레이션으로 위험성 낮춰

스크래치로 혹은 FPGA 디자인의 전환으로 설계되는 ASIC은 실리콘 실패 가능성과 함께 커다란 위험을 동반한다. 두 경우 모두, 프로토타이핑 단계의 장점들은 사라지며 새로운 설계가 새로운 넷리스트와 함께 만들어진다. 리-스핀을 해야 할 수도 있기 때문에 개발 비용이 추가되거나 시장 기회의 손실이 발생하게 된다. 이러한 문제는 공정이 미세화됨에 따라 물리적인 설계 이슈가 디바이스 설계에서 더욱 중요하기 때문에 점점 더 악화될 뿐이다.

FPGA에서 설계를 검증하고 성공적인 넷리스트를 커스텀 디바이스 제공자에게 마이그레이션 해주는 능력은 HardCopy Stratix 사용자에게 확실한 장점을 제공한다. 이 방식은 오늘날 공급되는 여타의 ASIC-대안의 설계 플로우에서는 가능하지 않은, 첫번째 시도에서의 실리콘 성공을 보장하여 준다. 이러한 성공적이고 끊임없는 마이그레이션 과정(오른쪽의 그림 참조)은 시스템 상에서 검증된 FPGA 설계를 보존하여 주며 타이밍 closure 및 설계 testability와 같은 기본적인 ASIC 백-엔드 설계 활동들을 포함하고 있다.

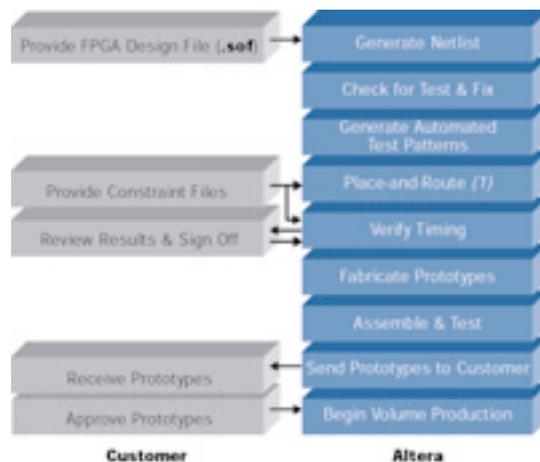
이 과정의 중요한 장점은 귀하가 동일한 보드-FPGA를 가지고 현장에서 설계하고 검증 및 인증을 거친 후 사용하고 관-투-관 호환 HardCopy Stratix 디바이스로 FPGA를 대체할 수 있다는 점이다. 이 간편한 대체 방식은 검증과 현장 인증 등을 다시 할 필요가 없는데 이러한 것들은 다른 솔루션에서도 반드시 필요한 것들이다.

단일 벤더의 장점

단일 벤더로, 귀하는 구매의 편리함과 통합된 환경 내에서의 성공을 보장 받게 된다. 알테라는 ASIC에서 HardCopy Stratix 디바이스로 마이그레이션 하는데 필요한 모든 요소들을 제공하고 있다.

- Stratix FPGA
- HardCopy 디바이스
- Quartus II 소프트웨어 툴
- IP

오늘날 여러 ASIC-대안이 공급되고 있지만 알테라의 HardCopy Stratix 디바이스는 최소한의 위험과 향후 실리콘의 성공을 보장 하면서 가장 낮은 비용 및 가장 빠른 타임-투-마켓을 제공하고 있는 유일한 완벽한 솔루션이다.



HardCopy Device Migration Process

Note:

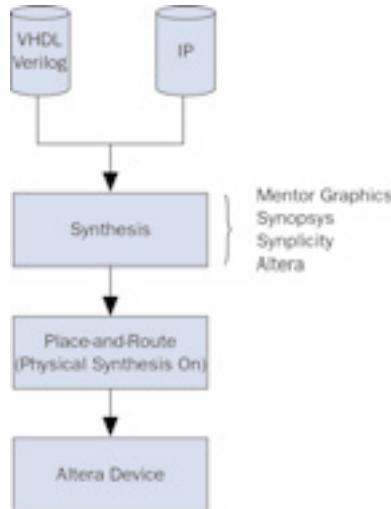
- (1) If placement constraints are provided, Altera will place as per these constraints and only route the design.

Quartus II 소프트웨어 3.0 버전의 탁월한 Physical Synthesis



귀하는 Quartus® II 소프트웨어 3.0 버전의 Physical synthesis 컴파일러 설정에서, 몇몇 체크박스 컴파일러 설정 옵션을 enable시킴으로써 설계 성능을 평균 12 퍼센트 가량 증가시킬 수 있다. Quartus II physical synthesis 옵션은 컴파일 과정의 fitting 단계 동안에 적용되며 사용된 합성 틀에 상관없이 적용될 수 있다. Quartus II 소프트웨어는 FPGA 벤더로부터 공급되고 있는 것 중 푸쉬-버튼 설계 성능을 증가시켜주는 physical synthesis 옵션 세트를 포함하고 있는 유일한 설계 소프트웨어이다. 또한 특정 설계에 대하여 최적의 설정 및 성능을 구하기 위하여 physical synthesis 및 다른 Quartus II 설정들끼리 서로 다른 결합을 자동으로 적용시키도록 새로운 Design Space Explorer 스크립트가 제공된다.

Quartus II Physical Synthesis Flow



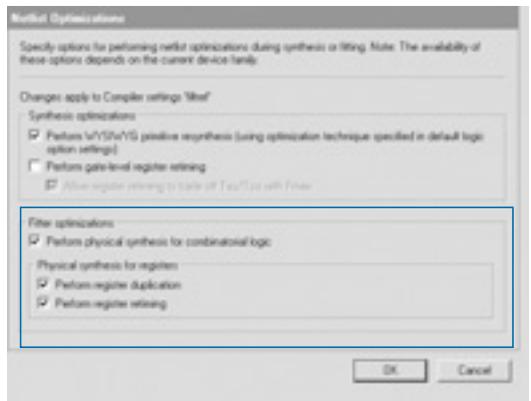
Physical Synthesis 최적화

Physical synthesis 최적화는 합성 및 피팅 과정과 결합되어, 피팅 및 place-and-route 과정동안에 설계 성능을 향상시키기 위하여 합성 최적화를 추가 실행하도록 실리콘- 및 설계-특화된 타이밍 정보를 적용한다. Quartus II 소프트웨어에서 physical synthesis 최적화는 설계자의 자원을 소비하거나 특별한 교육이 필요 없이 설계 성능을 증가시키도록 사용되는 푸쉬-버튼 특성이다. Quartus II physical synthesis 최적화에 대한 상세한 정보는 알테라 웹사이트의 AN198: Timing Closure in the Quartus II Software에서 구할 수 있다.

표준 컴파일 플로우에서, 합성 단계는 면적이나 속도 혹은 그 두가지 모두에 대한 회로의 논리 구조를 최적화하고 회로를 로직 엘리먼트(LE:Logic Element), 메모리 및 DSP(Digital Signal Processing) 블록 primitive와 같은 디바이스-특화된 primitive에 매핑하여 준다. 귀하는 제 3자 합성 틀이나 Quartus II 소프트웨어의 통합된 합성 특성을 이용하여 합성 단계를 실행할 수 있다. 또한 place-and-route 단계로 알려진 Fitter 단계는 합성 틀에 의하여 규정된 디바이스 primitive를 로직의 주요 영역이 가장 빠른 라우팅 자원에 의하여 서로 연결될 수 있도록 place 및 route한다. 이 표준 플로우는 가장 빠른 컴파일 시간을 제공하는 한편, 탁월한 푸쉬-버튼 결과를 제공한다. Physical Synthesis는 설계에서 Quartus II Fitter의 과거 place-and-route 지연 정보를 사용, 이러한 지연을 보완하도록 회로를 재구성하기 위한 합성 최적화를 추가로 실행한다. 설계 성능을 향상시키기 위하여 설계의 변화가 발생한 "hot spots"에 대하여 fitter에 의하여 회로 구조 변화가 증분 적용(Incrementally Application)된다.

설계 성능을 증대하기 위하여 Physical Synthesis 옵션 사용

Physical Synthesis 옵션은 초기 상태(Default)에서는 비사용으로 되어 있다. 그들은 사용하려면, Settings 대화 상자(Assignments 메뉴)의 Netlist Optimization 페이지를 이용한다. 귀하가 이러한 최적화를 실행하는 방법을 컨트롤할 수 있다는 사실은 중요하다. 귀하는 전체 설계나 혹은 탑-레벨의 설계로 import될 특정 LogicLock™ 모듈에서 physical synthesis를 실행할 수 있다. 또한 귀하는 physical synthesis 최적화에 의하여 다루어지지 말아야 되는 노드와 엔티티를 규정할 수 있다.



Quartus II Netlist Optimizations Dialog Box

현재 Quartus II 소프트웨어는 세가지 physical synthesis fitter 최적화 선택을 포함하고 있다.

- Physical synthesis for Combinatorial Logic
- Physical Synthesis for Registers - Register Duplication
- Physical Synthesis for Registers - Register Retiming

Perform WYSIWYG primitive 재합성 옵션과 세가지 physical synthesis fitter 최적화 옵션 모두를 사용하면 설계 성능(f_{MAX})을 평균 12퍼센트가량 증대시킬 수 있다.

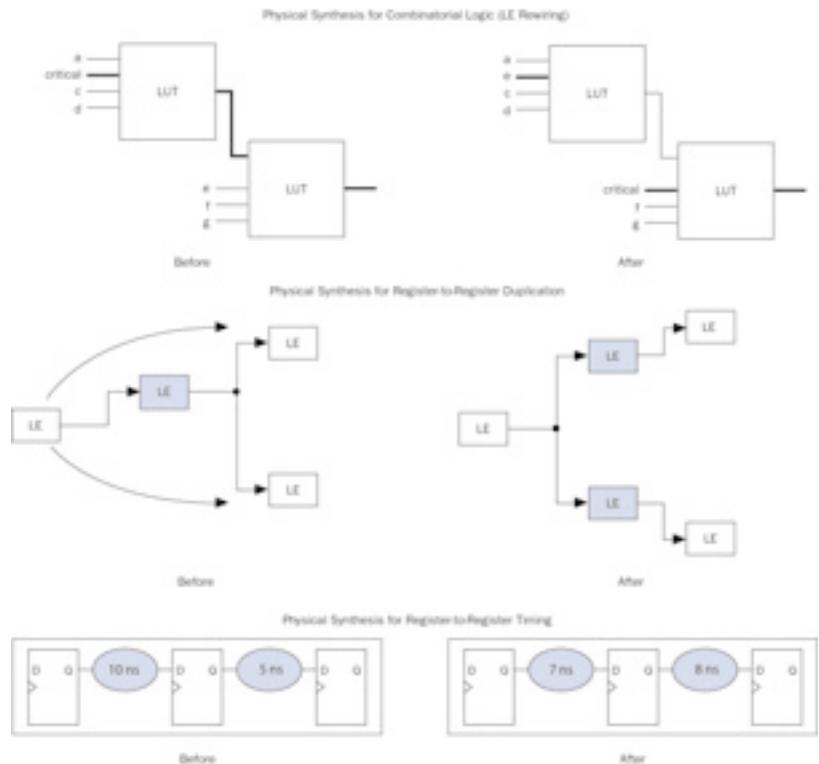
오른쪽 그림은 각각의 경우에 따라 실행되는 최적화 유형의 예를 보여준다. **Physical Synthesis for Combinatorial Logic** 옵션은 critical path는 거처야 할 레이어를 더 적게 가질 수 있도록 LE 연결을 다시 기록할 수 있다. **Physical Synthesis for Register-Register Duplication** 옵션은 다른 경로의 지연을 악화시키지 않고 한 경로의 지연을 감소시킴으로써 여러 장소에 편 아웃하는 레지스터를 복사할 수 있다. **Physical Synthesis for Registers - Register Retiming** 옵션은 타이밍 지연을 밸런싱 하고 전체적인 회로 성능을 향상함으로써 Quartus II fitter가 레지스터를 combinatorial logic을 거쳐 이동하도록 해준다.

Design Space Explorer로 설계 성능을 평균 20퍼센트 증대

모든 설계는 자체의 독창적인 특성을 갖고 있다. 기본 컴파일 플로우 대비 특정 physical synthesis 알고리즘과 컴파일러 설정 성능 향상은 설계에 따라 다르다. 현재 Quartus II 소프트웨어 3.0 버전은 주어진 설계의 최적 설정을 찾아, physical synthesis 옵션 및 다른 컴파일러 설정 결함을 자동으로 적용하는데 사용할 수 있는 새로운 Design Space Explorer 스크립트를 포함하고 있다. Design Space Explorer는 설계 성능이나 면적을 최대화하도록 완전 컨피규레이션될 수 있으며 귀하의 필요에 따라 몇시간 혹은 며칠동안 작동하도록 설정될 수 있다. 그리고 나서 훨씬 더 짧은 컴파일 시간에 동일한 최적의 성능을 얻을 수 있도록 Design Space Explorer에 의하여 보고된 새로운 설정이 다음에 실행되는 컴파일에 사용될 수 있다.

Quartus II Physical Synthesis 특성을 최대한 활용하는 방법

Quartus II Physical Synthesis 옵션 및 timing closure 의 상세한 정보는 알테라 웹사이트에서 AN198: Timing Closure in the Quartus II Software를 다운로드 받으면 알 수 있다.



Optimization Examples

알테라 디바이스 및 툴

HardCopy

HardCopy: 총체적인 ASIC-대안



HardCopy 디바이스의 제 2세대 제품인 HardCopy Stratix™ 디바이스는 시제품에서부터 대량 생산의 양산 제품까지 완전한 솔루션을 제공한다. 현재 설계자는 Quartus® II 소프트웨어를 사용하여 HardCopy 디바이스로 마이그레이션하기 전에 동일한 FPGA에 설계를 프로토타이핑할 수 있으며 HardCopy 디바이스를 마스크-프로그램된 디바이스로 직접 설계할 수도 있다. HardCopy 디바이스에 대하여 더 자세한 정보는 4 페이지에 있는 "ASIC Gain without the Pain: HardCopy Stratix 디바이스 제품군 소개"를 참조하자.

HardCopy 디바이스는 현재 16,000개에서부터 80,000개의 로직 엘리먼트(LE: Logic Element) 즉 2십만 개에서부터 1백 5십만 표준 셀 게이트(DSP 블록당 2천개의 LE를 포함하고 있으며 LE당 12개의 게이트로 환산)

표1은 HardCopy Stratix 사양을 보여준다.

Device	Package	Device Availability
HC1S25	672-Pin Finesline BGA®	Q1 2004
HC1S30	780-Pin Finesline BGA	Q2 2004
HC1S40	780-Pin Finesline BGA	Q2 2004
HC1S60	1,020-Pin Finesline BGA	October 2003
HC1S80	1,020-Pin Finesline BGA	October 2003

알테라는 2001년부터 HardCopy APEX 20KC™ 및 HardCopy APEX 20KE™ 디바이스를 양산 공급하고 있다. 표 2 참조.

Table 2. HardCopy APEX 20KC & HardCopy APEX 20KE Availability

Device	Package	Device Availability
HC20K400	652-Pin ball-grid array (BGA) 672-Pin Finesline BGA	Now
HC20K600	652-Pin BGA 672-Pin Finesline BGA	Now
HC20K1000	652-Pin BGA 672-Pin Finesline BGA 1,020-Pin Finesline BGA	Now
HC20K1500	652-Pin BGA 672-Pin Finesline BGA 1,020-Pin Finesline BGA	Now

Cyclone

모든 Cyclone 디바이스 현재 양산 중

Cyclone™ FPGA 모든 양산 제품이 알테라의 공식 대리점으로부터 공급 중이다. 이제 모든 고객은 최저가의 대량 불량용 FPGA 솔루션을 사용할 수 있다. 전 세계 1천4백 여 고객이 이 제품을 공급 받았으며 Cyclone FPGA는 알테라 역사상 가장 신속한 개발 및 양산 공급 과정을 보여주고 있다. 표3 참조.

Table 3. Cyclone Device Availability

Device	Production Availability
EP1C3	Now
EP1C4	Now
EP1C6	Now
EP1C12	Now
EP1C20	Now

모든 Cyclone 디바이스가 현재 양산 공급되고 있다. 양산 어플리케이션에 대하여 1천 개의 로직 엘리먼트(LE: Logic Element)당 1.5달러 미만의 가격으로 공급되며 귀하는 알테라의 무료 툴인 Quartus II 웹 에디션 설계 소프트웨어와 Nios® 임베디드 프로세서 그리고 알테라의 IP(Intellectual Property) 코어를 사용하여 모든 Cyclone 디바이스를 설계할 수 있다.

다른 저가형 FPGA와 Cyclone의 장점 비교

Cyclone 디바이스는 다른 저가형 FPGA에 비하여 다음과 같은 장점들을 갖고 있다:

- 양산 공급 : 오늘날 대량 물량으로 공급되고 있는 유일한 0.13 마이크로 공정 기술의 저가형 FPGA이다.
- 최저 가격 : 대량 물량의 어플리케이션에 대하여 1천 개의 LE당 1.5달러 미만의 가격
- 최고 성능 : 저가형 경쟁 FPGA보다 60퍼센트 더 빠른 성능
- Differential Signaling : 최대 640 Mbps의 LVDS 시그널링 지원
- 핫-소켓팅 지원 : 전원이 켜져 있는 시스템에 전원이 켜져 있지 않은 보드 삽입 가능.
- 3.3-V I/O 완전 지원 : 수많은 3.3-V 싱글-엔딩 I/O 표준을 완전 지원
3.3-V PCI 준수 : 3.3-V PCI 사양 완전 준수
- 무료 소프트웨어 지원 : 무료 프로그래머블 로직 설계 소프트웨어 툴에서 완전 지원되는 유일한 저가 FPGA 제품군
- IP 코어의 무료 평가 가능 : 알테라의 개발 툴을 사용하여 매개변수화되고, 컴파일되며 시뮬레이션 가능한 IP 기능에 대한 무료 테스트 드라이브 제공

새로운 향상된 I/O 표준

Cyclone FPGA는 RSDS I/O 표준을 지원할 뿐만 아니라 LVDS I/O 표준을 통한 더 높은 데이터 전송 속도를 지원함으로써 한단계 업그레이드 시켰다. 현재 Cyclone FPGA는 채널당 640Mbps의 최대 데이터 전송 속도에서 LVDS 시그널링과 채널당 최대 311Mbps에서 RSDS 시그널링을 지원하고 있다.

Cyclone FPGA에 대한 고객의 반응

Cyclone FPGA에 대한 가격/성능 이점은 우리들이 ASIC의 가격에 PLD의 유연성을 가질 수 있게 해줍니다. Cyclone FPGA를 사용함으로써 우리는 우리의 가격 목표를 달성하는 동시에 뛰어난 제품 프로그래밍 기능을 구현할 수 있었습니다.

Tom Freeburg
코퍼레이트 부사장 및 이사
모토롤라 광대역 무선 테크놀로지

Stratix

모든 Stratix 디바이스, 현재 양산 공급 중

모든 Stratix™ 디바이스가 현재 양산 공급 중이다. EP1S10, EP1S20, EP1S25, EP1S30, EP1S40, EP1S60 및 EP1S80의 양산 디바이스가 현재 모든 패키지와 핀으로 공급되고 있다. 표4 참조.



Table 4. Stratix Device Availability

Device	Availability
EP1S10	Now
EP1S20	Now
EP1S25	Now
EP1S30	Now
EP1S40	Now
EP1S60	Now
EP1S80	Now

인더스트리얼 온도 등급의 Stratix 디바이스 현재 양산 공급 중

인더스트리얼 온도 등급의 Stratix 디바이스가 현재 양산 공급되고 있다. 표5는 현재 공급되고 있는 서로 다른 인더스트리얼 코드를 요약해놓은 것이다.

Table 5. Stratix Industrial Ordering Codes & Availability

Industrial Device Ordering Code	Availability
EP1S10F484I6	Now
EP1S10F672I7	Now
EP1S10F780I6	Now
EP1S20F484I6	Now
EP1S20F672I7	Now
EP1S20F780I6	Now
EP1S25F672I7	Now
EP1S25F780I6	Now
EP1S25F1020I6	Now
EP1S30F1020I6	Now
EP1S40F1020I6	Now
EP1S60F1020I6	Now

12페이지에서 계속

Stratix GX

고속 시스템 이슈 충족



라인 카드의 더 빠른 포트와 더 높은 포트 집적도는 백플레인의 병목현상을 초래한다. 설계자는 시스템의 높은 대역폭 요건을 충족하는 백플레인이나 라인카드를 다시 설계해야 할 입장에 놓였다.

알테라가 해답을 제공하고 있다. Stratix GX 디바이스는 고속 트랜시버와 소스 동기식 I/O 핀을 통합하여 전력과 보드 실제 면적 및 타임-투-마켓 그리고 위험성을 감소시켜 준다. Stratix GX 디바이스는 lossy backplane 채널을 드라이브하기 위한 확실한 트랜시버를 구축하는 pre-emphasis 및 equalization의 완벽한 조화 특성을 갖고 있다. Stratix GX 디바이스는 pre-emphasis와 equalization이 모두 enable되어 있을 때 40 인치 이상의 FR-4 재료에서 최대 3.1875 Gbps를 드라이브하는 것이 입증되었다.

알테라는 현재 모든 Stratix GX 디바이스를 공급하고 있다. 표6은 공급되는 Stratix GX 디바이스 목록을 보여준다.

Device	General ES Availability
EP1SGX10C	Now
EP1SGX10D	Now
EP1SGX25C	Now
EP1SGX25D	Now
EP1SGX25F	Now
EP1SGX40D	Now
EP1SGX40G	Now

또한 알테라는 개발 보드, 레이아웃 파일, schematic 및 설계 예제 그리고 고속 보드 레이아웃 가이드라인을 포함하는 고속 개발 키트, Stratix GX 에디션을 공급, 귀하의 성공적인 설계를 지원한다.

Excalibur

Quartus II 3.0 버전의 소프트웨어 개발 팩 공급

Quartus II 3.0 소프트웨어는 Excalibur™ 디바이스 추가 지원용 CD-ROM을 함께 공급되고 있다. 이것은 ARM®



프로세서와 주변기기, GNU 소프트웨어 개발 툴, 그리고 참조 설계 및 예제에 대한 SOPC Builder를 포함하고 있다. 이 CD는 Quartus II 소프트웨어 3.0 버전의 설치시 자동 설치되며, 귀하에게 Excalibur 디바이스를 설계할 때 필요한 모든 자원을 제공한다. 하드웨어 개발 툴에 대한 액세스가 필요 없는 소프트웨어 엔지니어들이 개발 툴을 사용할 수 있도록 이 CD는 Quartus II 소프트웨어가 없는 PC에도 설치될 수 있다.

리눅스, Excalibur 디바이스에 대한 운용 시스템 솔루션 제공

알테라는 Excalibur EPXA1 개발 키트에 있는 주변장치에 기반하고 있는 LSP(Linux Support Package)를 비롯하여 Excalibur 디바이스의 리눅스 포트를 제공하기 위하여 MontaVista와의 협력관계를 수립하였다. 또한 이 시스템은 외부 10/100 이더넷 MAC와 온-칩 주변장치에 대한 완전한 TCP/IP 프로토콜 스택(Stack)을 포함하고 있다. 이 포트는 MontaVista 리눅스 프로페셔널 에디션을 구입하기 전에 Excalibur 디바이스에서 동작하는 임베디드 리눅스를 무료로 평가해볼 수 있도록 공급되는 프리뷰 키트이다.

프리뷰 키트와 MontaVista 리눅스 프로페셔널 에디션은 MontaVista의 웹사이트 www.mvista.com에서 직접 구입할 수 있다.

American Arium사, 리눅스 Kernel 디버그 툴 공급

American Arium사는 Excalibur 디바이스-기반의 시스템이 싱글 JTAG 포트를 통하여 디버깅되도록 해주는 SourcePoint 디버거 소프트웨어 SC-1000 JTAG(Joint Test Action Group) 에뮬레이터의 새로운 버전을 출시 하였다. 또한 이번 출시에는 네트워크 연결이나 시리얼 포트없이 리눅스 kernel의 디버깅을 지원하도록 해준다. 리눅스 kernel에 대한 모든 I/O 요건이 JTAG를 통하여 지원되어 개발 단계에서 설계를 디버깅할 수 있는 한편 생산 보드에 이더넷 솔루션이나 시리얼 포트를 가질 필요가 없게 해준다. Excalibur 디바이스는 자체의 EPXA4 디바이스-기반의 개발 보드와 Quartus II 소프트웨어, ARM RealView® 개발 세트 및 임베디드 리눅스 운용 시스템 지원 등으로 구성되어 있는 KIT-XA4 개발 키트에 의하여 지원된다.

SourcePoint, SC-1000 JTAG 에뮬레이터 및 KIT-XA4는 현재 American Arium의 웹사이트, www.arium.com에서 공급되고 있다.

Nios Processor

Nios 개발 키트, Stratix 프로페셔널 에디션 현재 공급

Nios 개발 키트, Stratix 프로페셔널 에디션은 완전한 시스템-온-어-프로그래머블-칩(SOPC) 솔루션을 구축하는데 필요한 모든 소프트웨어 및 하드웨어 툴을 제공한다. 이 키트에는 Nios 프로세서 3.1 버전과 Stratix EP1S40 디바이스, 1-M바이트 SRAM, 16-M바이트 SDRAM, CompactFlash 커넥터, 10/100 이더넷 MAC/PHY 기기, 스위치, LED 및 프로토타입 커넥터 등을 장착한 개발 보드가 포함되어 있다. 또한 이 키트는 1년간의 라이선스와 임베디드 소프트웨어 개발 요건을 모두 갖춘 GNUPro Toolkit을 포함한 Quartus II 설계 소프트웨어 3.0 버전과 함께 공급된다.

그리고 이 고급 개발 키트에는 FS2(First Silicon Solutions)사의 첨단 소프트웨어 디버깅 기능 세트가 포함된다. 이 컨피규레이션 가능한 Nios CPU는 FS2사의 OCI(On-Chip Instrumentation) 확장을 사용할 수 있는 옵션을 갖추고 있다. Nios OCI 디버깅 모듈은 run-control, 하드웨어 브레이크 포인트, 워치 포인트, 온-칩 트레이스, 오프-칩 트레이스 등을 포함한 인-서킷 에뮬레이터 기능 세트를 제공한다. FS2사의 첨단 디버깅 애드-온에 관한 더 자세한 정보는 "Nios Partner news"를 참조하기 바란다.

Nios 개발 키트, Stratix 프로페셔널 에디션은 2,495달러이며 현재 구입 가능하다.

Nios 파트너사 뉴스

Nios 개발 키트에 포함되는 기본 OCI 디버깅 모듈과 더불어 FS2사는 여러 디버깅 기능 업그레이드 패키지를 제공하고 있다. 이 업그레이드 패키지는 ByteBlaster™ II 다운로드 케이블의 기능을 확장해주거나 혹은 더 빠른 디버깅 연결과 대형 오프-칩 트레이스 버퍼를 위하여 ISA-NIOS BlackBox를 추가하여 준다. 이 추가적인 기능은 FS2 사로부터 온라인으로 구매 가능하다. 더 자세한 정보를 원한다면 www.fs2.com/isa-nios를 방문하기 바란다.

Mentor Graphics사의 임베디드 시스템 본부인 Accelerated Technology사는 code!ab Developer Suite의 최신 버전을 출시 하였다. 이 세트는 code!ab EDE 툴(임베디드 시스템 개발을 위한 모든 특성을 갖춘 통합된 개발 환경)과 code!ab 디버깅 툴을 포함하고 있다. code!ab 디버깅 툴은 FS2사의 시스템 분석기 디버깅 확장을 사용하여 Nios 프로세서의 소프트웨어 디버깅을 지원한다. code!ab Developer Suite에 관한 더 자세한 정보에 대해

여 www.acceleratedtechnology.com을 방문하기 바란다.

현재 Microtronix Datacom Ltd.사의 μ C/OS-II 실시간 운용 시스템은 Nios 개발 키트를 지원하고 있다. Microtronix사의 μ C/OS-II RTOS 개발 키트는 다음과 같은 특성을 제공한다:

- Nios 임베디드 프로세서에 대한 검증 완료된 안정적인 kernel 포트
- 여러 개발 보드에 대한 TCP/IP 네트워크 스택 라이브러리 및 디바이스 드라이버
- Jean Labrosse의 MicroC/OS-II 세컨드 에디션 알테라의 SOPC Builder 시스템 개발 툴을 위한 운용 시스템 요소

μ C/OS-II 실시간 운용 시스템에는 로열티가 없다. 더 자세한 정보는 www.microtronix.com을 참조하자.

IAR 시스템사의 알테라 Nios 임베디드 프로세서 툴용 visualSTATE를 사용하여 버튼을 간단히 누르기만 하면 귀하의 그래픽 스테이트 머신 설계를 Nios 프로세서 지원 C/C++ 코드로 전환할 수 있다. 더 자세한 정보는 www.iar.com에서 구할 수 있다.

APEX II

APEX II 디바이스

APEX™ II 디바이스 제품군의 모든 디바이스들이 현재 공급 중이다. APEX II 디바이스의 집적도 범위는 16,640개에서부터 67,200개의 로직 엘리먼트(LE)이며 풍부한 메모리를 갖고 있다; ESB(Embedded System Block)당 4K비트의 메모리를 갖고 있으며 전체 디바이스에는 416K비트에서부터 1.1M비트의 메모리가 있다. APEX II 디바이스 제품군은 LVDS, PCML, LVPECL, HSTL, SSTL 및 HyperTransport™ 테크놀러지와 같은 다양한 고속 I/O 표준을 통하여 고속의 데이터 전송을 지원한다. APEX II 디바이스는 True-LVDS™ 회로를 통하여 채널 당 최대 1Gbps의 데이터 전송 속도를 얻을 수 있다. 설계자는 APEX 디바이스를 사용, 다음과 같은 어플리케이션에 이러한 I/O 특성을 활용할 수 있다.

- PHY-link 레이어 인터페이스 어플리케이션(POS-PHY, Flexbus 및 UTOPIA)
- 호스트-프로세서 인터페이스 어플리케이션(HyperTransport 테크놀러지, PCI 및 PCI-X)
- 스위치 패브릭 인터페이스(CSIX 및 LCS)
- 외부 메모리 인터페이스(DDR, ZBT: Zero Bus Turnaround 및 QDR: Quad Data Rate 메모리 디바이스들)

14페이지에서 계속



APEX II 디바이스의 사양에 대하여 표7을 참조하자.

Table 7. APEX II Device Availability

Device	Package	Availability
EP2A15	672-pin FineLine BGA 724-pin BGA	Now
EP2A25	672-pin FineLine BGA 724-pin BGA	Now
EP2A40	672-pin FineLine BGA 724-pin BGA 1,020-pin FineLine BGA	Now
EP2A70	724-pin BGA 1,508-pin FineLine BGA	Now

APEX II 인더스트리얼 온도 등급 디바이스

현재 APEX II 디바이스 제품군의 모든 인더스트리얼-온도 등급 디바이스가 공급 중이다. 이 디바이스의 인더스트리얼-온도 등급 양산 버전이 -8 속도 등급으로 공급되고 있다. 표8은 현재 공급 중인 인더스트리얼-온도 등급의 제품의 사양을 보여준다.

Table 8. APEX II Industrial Device Offerings

Device	Package	Availability
EP2A15	672-pin FineLine BGA	Now
EP2A25	672-pin FineLine BGA 724-pin BGA	Now Now
EP2A40	724-pin BGA 1,020-pin FineLine BGA	Now Now

Mercury

Mercury 디바이스 현재 양산 공급 중



두 가지 제품 라인의 인더스트리얼 온도 등급 제품을 비롯하여 Mercury™ 디바이스 제품군의 모든 디바이스 및 모든 속도 등급의 제품이 현재 양산 공급 중이다(표9 참조). CDR(Clock Data Recovery) 회로와 같은 고속 1.25-Gbps 시리얼 링크와 임베디드 SERDES(Serializer/Deserializer)를 갖춘 이 디바이스는 시리얼 백플레인 어플리케이션에 이상적이다.

Table 9. Mercury Device Availability

Device	Package	Temperature Grade	Availability
EP1M120	484-pin FineLine BGA	Commercial in -5,-6,-7 speed grade	Now
		Industrial in -6 speed grade	Now
EP1M350	780-pin FineLine BGA	Commercial in -5,-6,-7 speed grade	Now
		Industrial in -6 speed grade	Now

APEX

모든 APEX 디바이스 현재 양산 공급 중

모든 APEX 20KC, APEX 20KE 그리고 APEX 20K 디바이스와 패키지가 현재 공급 중이다. APEX 디바이스는 단일 디바이스에서 완전한 시스템-레벨의 통합을 제공, 광범위한 집적도와 I/O 기능 그리고 패키지 옵션을 갖추고 있다.

고성능을 요하는 새로운 설계에 대하여, Stratix 및 Stratix GX FPGA를 활용할 수 있다. 이 풍부한 특성의 FPGA는 최상의 성능을 제공한다.

인더스트리얼 온도 등급의 APEX 디바이스 사양

인더스트리얼-등급의 APEX 디바이스는 현재 다양한 패키지로 공급 중이다. 표10, 11 그리고 표12를 참조하기 바란다.

Table 10. APEX 20KC Device Industrial Offerings

Device	Package	Speed Grade
EP20K200C	484-pin Finline BGA	-8
EP20K400C	672-pin Finline BGA	-8
EP20K600C	652-pin BGA	-8
	672-pin Finline BGA	
EP20K1000C	1,020-pin Finline BGA	-8

Table 11. APEX 20KE Device Industrial Offerings

Device	Package	Speed Grade
EP20K30E	144-pin Finline BGA	-2X(1)
EP20K60E	144-pin Finline BGA 208-pin POFPP 144-pin Finline BGA	-2X(1)
EP20K100E	144-pin Finline BGA 240-pin POFPP 324-pin Finline BGA 356-pin BGA	-2X(1)
EP20K160E	484-pin Finline BGA	-2X(1)
EP20K200E	240-pin POFPP 356-pin BGA 484-pin Finline BGA 672-pin Finline BGA	-2X(1)
EP20K300E	240-pin POFPP 652-pin BGA 672-pin Finline BGA	-2X(1)
EP20K400E	652-pin BGA 672-pin Finline BGA	-2X(1)
EP20K600E	652-pin BGA 672-pin Finline BGA	-2X(1)
EP20K1000E	652-pin BGA 672-pin Finline BGA	-2X(1)

Note to Table 11:

(1) The "X" denotes phase-locked loop(PLL) and LVDS support.

Table 12. APEX 20K Device Industrial Offerings

Device	Package	Speed Grade
EP20K100	208-pin PQFP 240-pin PQFP 324-pin FineLine BGA	-2V(1) -2V(1) -2XV(1)
EP20K200	240-pin PQFP 484-pin FineLine BGA	-2V(1)
EP20K400	652-pin BGA 672-pin FineLine BGA	-2V(1)

Note to Table 12:

(1) The "V" denotes 5.0-V tolerant I/O interfaces. The "X" denotes PLL support.

ACEX 1K

ACEX 1K 디바이스

ACEX[®] 1K 디바이스는 576-, 1,728-, 2,880- 그리고 4,992-개의 LE 집적도 범위를 가지며 QFP(Quad Flat Pack) 및 FineLine BGA 패키지로 공급된다. 이 가격-최적화된 디바이스들은 특히 저가의 대량 생산형 어플리케이션에 적합하다. 중간 및 고집적도 설계를 위해서는 10페이지에 있는 알테라의 최신의 최저가형 Cyclone FPGA 제품군을 참조하기 바란다.

모든 ACEX 1K 디바이스에 대하여 알테라의 웹사이트 www.altera.com에서 무료로 다운로드 받을 수 있는 Quartus II 웹 에디션 소프트웨어 3.0 버전이 지원된다.

MAX

MAX 3000A 인더스트리얼 온도 등급 및 확장 온도 범위 지원

모든 설계자는 간편한 사용 및 유연성 특성을 가진 MAX[®] CPLD 장점을 활용할 수 있다. 알테라의 MAX CPLD 제품군은 지난 8년간 관련 업계의 베스트 셀러 CPLD로 자리하고 있다. 알테라는 CPLD의 이점을 확대하여 새로운 시장 영역을 향한 리더십을 더욱 공고히 하고 있다.



하나의 예로서 더 낮은 가격의 인더스트리얼 온도 등급의 CPLD 제품군에 대한 수요이다. 인더스트리얼 온도 등급의 디바이스는 더 이상 인더스트리얼 마켓에만 부응하는 솔루션이 아니다. 많은 통신 및 기기 고객들은 인더스트리얼 온도 등급의 디바이스의 넓은 작동 온도의 이점을 이용하고 있다. 또한 인더스트리얼 온도 등급의 디바이스는 외부로부터 최소한의 보호만을 필요로 하기 때문에 외장형 제품에 이상적이다. 이러한 요건을 충족하기 위하여 알테라는 저가의 대량 생산형 제품군인 MAX 3000A에 대하여 섭씨 영하 40도에서 영상 105도까지의 교차 온도(Junction Temperature)를 갖는 인더스트리얼 온도 등급의 디바이스를 보강하였다. 현재 표13과 같이 디바이스들이 공급되고 있다.

Table 13. MAX 3000A Device Industrial Offerings

Device	Package
EPM3032A	44-pin PLCC(1) 44-pin TQFP
EPM3064A	44-pin PLCC 44-pin TQFP 100-pin TQFP
EPM3128A	100-pin TQFP 144-pin TQFP 256-pin FineLine BGA
EPM3256A	144-pin TQFP 208-pin PQFP 256-pin FineLine BGA
EPM3512A	208-pin PQFP 256-pin FineLine BGA

Note to Table 13:

(1) PLCC : plastic J-lead chip carrier.

16페이지에서 계속

자동차 시장의 경쟁이 더욱 치열해지면서 프로그래머블 로직은 모델간의 제품 차별화를 할 수 있도록 지원한다. 점점 더 확장되고 있는 이 시장 영역을 지원하기 위하여 알테라는 현재 5.0-V I/O를 지원하고 섭씨 영하 40도에서부터 영상 130도까지의 교차 온도(Junction Temperature)로 확대된 3.3-V MAX 7000 AE 제품군을 제공하고 있다 (표14 참조). 자세한 사항은 알테라의 웹사이트 www.altera.com/products/devices/temperatur/e/tem-extended.html을 참조하기 바란다.

Device	Package
EPM7032AE	44-pin TQFP
EPM7064AE	44-pin TQFP 100-pin TQFP
EPM7128AE	100-pin TQFP 144-pin TQFP
EPM7256AE	144-pin TQFP 256-pin FineLine BGA

알테라의 CPLD 제품군에 대한 새로운 보장을 통하여 알테라는 일반 및 인더스트리얼 온도 등급에 이르는 다양한 온도 등급 옵션을 가진 CPLD의 장점을 제공하고 있다.

Configuration

시리얼 컨피규레이션 디바이스

알테라의 새로운 시리얼 컨피규레이션 디바이스는 업계 최저가 컨피규레이션 디바이스로서 가격 경쟁이 심한 대량 생산형 어플리케이션용의 Cyclone FPGA의 이점을 더욱 강화하여 주는 이상적인 디바이스이다. 최대 효율성을 갖도록 만들어진 시리얼 컨피규레이션 디바이스는 1회용(OTP: One-Time Programmable) 솔루션보다도 낮은 가격에 ISP(In-System Programmability) 및 재프로그래밍 기능을 갖고 있다.

향상된 컨피규레이션 디바이스

향상된 컨피규레이션 디바이스는 다양한 집적도 요건에 맞는 완전한 싱글-디바이스 솔루션을 제공한다. 수직 마이그레이션이 가능하여 귀하는 보드 레이아웃을 바꾸지 않고도 EPC4를 같은 패키지의 EPC8이나 EPC16 디바이스로 쉽게 마이그레이션 할 수 있다. 현재 EPC4, EPC8, 그리고 EPC16 디바이스의 일반 및 인더스트리얼-온도 등급의 디바이스들이 모두 공급되고 있다.

향상된 컨피규레이션 디바이스는 프로그래머블 디바이스의 바운더리-스캔-기반의, 인-시스템 컨피규레이션 표준을 위한 빌트-인 IEEE 표준(IEEE 1532)을 통하여 ISP를 제공하고 있다. ISP와 재프로그래밍 기능은 컨피규레이션 과정에 대한 유연성과 재-사용 능력을 부여하기 때문에 1회용 프로그래머블 솔루션에 비하여 탁월한 장점을 제공한다.

또한 알테라의 향상된 컨피규레이션 디바이스는 특화된 컨피규레이션 요건에 맞는 풍부한 특성을 갖추고 있다. 이 특성은 플래시 메모리의 사용하지 않은 부분을 범용 메모리로 사용할 수 있는 외부 플래시 인터페이스, 컨피규레이션 시간을 가속화할 수 있는 병렬 컨피규레이션 기능, 설계자가 여러 컨피규레이션을 저장할 수 있게 해주는 새로운 페이지 모드, 부분 재프로그래밍을 지원하는 블록 보호, 그리고 프로그래머블 클럭과 외부 클럭 특성을 통한 완전한 클럭당 유연성 등을 갖추고 있다. 이 첨단 특성은 전체적인 PLD 설계를 향상시켜준다.

Quartus II

Quartus II 소프트웨어 3.0 버전, 설계 주기 40 퍼센트 단축

Quartus II 소프트웨어 3.0 버전의 새로운 특성은 소프트웨어가 CPLD를 대상으로 하건 혹은 FPGA 나 HardCopy 디바이스를 대상으로 하든지 간에 모든 설계 주기 단계를 단축시켜 준다. 이 버전은 설계자에게 설계 초기 단계부터 FPGA나 마스크-프로그래밍된 디바이스를 개발하는데 필요한 단일 설계 플로우를 갖춘, 업계 최초의 그리고 유일한 설계 툴을 제공하는 새로운 HardCopy Stratix 설계 플로우를 갖고 있다.

Quartus II 소프트웨어 3.0 버전은 다음과 같은 새로운 특성과 향상된 기능으로 모든 설계 주기 단계를 단축시켜 준다.

- 새로운 Physical Synthesis 및 Design Space Explorer 스크립트가 자동화된 특성을 제공, 설계 성능을 평균 20퍼센트가량 증가시켜준다.
- 업-프론트 I/O assignment 및 validation
- 증분 설계 변경을 간편하게 할 수 있는 칩 에디터 특성
- 간단한 설계 변경에 대하여 incremental fitting 특성을 사용하여 설계 성능은 유지하는 한편 컴파일 시간을 평균 40퍼센트 단축
- 업데이트된 Assignment Editor로 전체 디바이스 제품군을 지원하고 사용성을 향상.
- 향상된 LogicLock™ 방식으로 라우팅이 로직 위치와 더불어 고정 가능.
- ModelSim®-알테라 5.7c 버전으로 더 빨라진 behavioral 및 타이밍 시뮬레이션

새로운 HardCopy Stratix 설계 플로우 : ASIC Gain without the Pain

Quartus II 소프트웨어 3.0 버전을 사용하여 설계자는 처음부터 사용이 간편한 저가의 톨과 방식, 그리고 그들이 알테라의 첨단 FPGA용으로 사용하는 IP(Intellectual Property)를 사용할 수 있으며 설계 주기의 초기 단계부터 고성능 마스크-프로그램된 HardCopy Stratix 디바이스를 대상으로 할 수 있다.

선택 : GUI 혹은 Command-Line Operation

모든 주요 Quartus II 소프트웨어 3.0 버전의 설계 플로우 기능은 이제 GUI(Graphical User Interface) 혹은 command line으로부터 독립적으로 동작될 수 있다. SDC(Synopsys Design Constraint) 스크립트 지원뿐만 아니라 Quartus II 소프트웨어는 커스텀 설계 플로우를 지원하도록 단순화된 구문을 가진 새로운 Tcl(Tool Command Language) 어플리케이션 프로그래밍 인터페이스를 지원한다.

새로운 Quartus II 소프트웨어 자료

다음과 같은 새로운 혹은 업데이트된 Quartus II 소프트웨어 3.0 버전의 기술 자료들이 현재 알테라의 웹사이트, Quartus II literature 페이지에서 제공된다.

- Introduction to Quartus II
- Quartus II Support for HardCopy Devices Chapter of the HardCopy Device Handbook
- Engineering Change Order Support In Programmable
- Logic Design White Paper
- Pin Assignment & I/O Analysis Using the Quartus II Software White Paper
- Using the Assignment Editor in the Quartus II Software White Paper
- AN 310: Using the Quartus II Chip Editor
- AN 309: Command-Line Scripting in the Quartus II Software
- AN 307: Altera Design Flow for Xilinx Users
- AN 297: Optimizing FPGA Performance Using the Quartus II Software
- AN 280: Design Verification Using the SignalTap II Embedded Logic Analyzer
- AN 238: Using Quartus II Verilog HDL & VHDL Integrated Synthesis
- AN 198: Timing Closure Using the Quartus II Software

- AN 161: Using the LogicLock Methodology in the Quartus II Design Software
- Single & Dual-Clock FIFO Megafunctions User Guide
- Altera Double Data Rate Megafunctions User Guide

새로운 디바이스 지원

Quartus II 소프트웨어 3.0 버전은 HardCopy Stratix, FLEX® 10K, FLEX 10KA, MAX 7000S, MAX 3000A 인더스트리얼 온도 등급 제품 및 2종의 MAX 3000A 디바이스 패키지에 대한 지원을 추가하였다. 표 15 참조.



Support	Family	Device	Packages
Full support(includes Programmer Object File (.pof) generation)	HardCopy Stratix(1)	HC1S25	672-pin FineLine BGA
		HC1S30	780-pin FineLine BGA
		HC1S40	780-pin FineLine BGA
		HC1S30	1,020-pin FineLine BGA
		HC1S60	1,020-pin FineLine BGA
	Stratix GX	EP1SGX25	1,020-pin FineLine BGA
		EP1SGX25	672-pin FineLine BGA
		EP1SGX40	1,020-pin FineLine BGA
	FLEX 10K	All	All
	FLEX 10KA	All	All
	MAX 7000S	All	All
	MAX 3000A	EPM3128A	256-pin FineLine BGA
		EPM3256A	256-pin FineLine BGA

Note to Table 15:

- (1) POF generation is only available for HardCopy Stratix Prototype FPGAs. You can compile for the HardCopy Stratix devices to obtain a floorplan view and performance estimates of the final silicon implementation.

Quartus II Software Release Notes

Quartus II 소프트웨어 버전의 주요 특성을 알기 위하여, Quartus II Software Release Note 자료를 참조하기 바란다. 이 자료는 각 버전이 출시된 후 1주일 이내에 알테라의 웹사이트 www.altera.com/literature/m/m_qts.pdf의 Literature 섹션에서 구할 수 있다.

18페이지에서 계속

Quartus II 웹 에디션의 디바이스 및 특성 지원 확장

웹에서 무료로 다운로드 받을 수 있는 Quartus II 웹 에디션 소프트웨어 3.0 버전은 Cyclone 전체 및 일부 MAX 디바이스에 대한 엔트리-레벨의 디바이스 지원과 Stratix EP1S10을 비롯, 모든 범용 FPGA 및 CPLD 제품군마다 최소한 하나의 디바이스에 대한 지원을 포함하고 있다. 3.0 버전은 MAX 7000S, FLEX 10K 그리고 FLEX 10KA 디바이스 제품군과 MAX 3000A 디바이스에 대한 지원을 추가하였다. 표16 참조.

Table 16. Quartus II Web Edition Device Support	
Device Family	Devices
Cyclone	Complete Device Support
Stratix	EP1S10
APEX II	EP2A15
ARM-Excalibur	EPXA1
APEX 20KE	EP20K30E EP20K60E EP20K100E EP20K160E
ACEX 1K	Complete Device Support
FLEX 10KE	EP10K30E EP10K50S EP10K100E EP10K130E EP10K200S
FLEX 10K	Complete Device Support
FLEX 10KA	Complete Device Support
FLEX 6000	Complete Device Support
MAX 7000S	Complete Device Support
MAX 7000AE	Complete Device Support
MAX 7000B	Complete Device Support
MAX 3000A	Complete Device Support

다음과 같은 특성이 Quartus II 웹 에디션 3.0 버전에 포함되었다.

- Enable/Disable 메시지
- IBIS 모델 생성
- Vector Waveform 파일(.vwf)로부터 테스트 벤치 생성
- PowerGauge™ 전력 사용 예측기
- 프로젝트 저장 특성
- STAMP 모델 생성

새로운 Quartus II 소프트웨어 초보자 세트 CD, 현재 공급 중

Quartus II 소프트웨어 초보자 세트 CD-ROM은 알테라의 디바이스 설계를 시작하는데 필요한 모든 소프트웨어를 포함하고 있으며 다음과 같다:

- Quartus II 웹 에디션 FPGA 및 CPLD 설계 소프트웨어
- SOPC Builder 자동화된 시스템 개발 소프트웨어
- Quartus II 및 HardCopy 플래시 무비

Quartus II 웹 에디션 다운로드 페이지나 lit_req@altera.com으로 이메일을 보내 CD-ROM을 신청할 수 있다.

USB 및 병렬 포트 PC 연결 가능한 프로그래밍 케이블

새로운 USB-Blaster 프로그래밍 케이블은 병렬 포트 연결 대신 USB(Universal Serial Bus) 연결을 통하여 PC 연결된다는 점을 제외하고는 최근 발표된 ByteBlaster™ II 케이블과 동일한 모든 특성을 지원한다. 귀하는 ByteBlasterMV™ 프로그래밍 케이블 대신 이 모든 케이블들을 사용할 수 있다. USB-Blaster 및 ByteBlaster II 케이블은 ByteBlaster MV 케이블과 동일한 모든 프로그래밍 특성을 지원하며 다음과 같은 새로운 프로그래밍 특성을 추가로 갖고 있다.

- 새로운 EPCS1 및 EPCS4 컨피규레이션 디바이스를 지원하도록 액티브 시리얼 컨피규레이션 모드에 대한 지원
- 1.8-V 프로그래밍 및 컨피규레이션 지원

USB-Blaster 및 ByteBlaster II 프로그래밍 케이블이 모두 Quartus II 소프트웨어 3.0 버전에서 지원된다. 또한 귀하는 알테라의 웹 사이트 다운로드 센터에서 Quartus II 프로그래머 특성의 스탠드-얼론 버전을 다운로드 받을 수 있다.

Precision RTL Synthesis로 고성능 DSP 설계 구현

Rakesh Jain
멘토 그래픽스

DSP(Digital Signal Processing)는 3G, 무선, SDR (Software Defined Radio) 및 가전 제품이나 오락 기기 및 의료 시스템 시장에 대한 비디오/이미지 프로세싱 등 다양한 어플리케이션 영역에 걸쳐 빠르게 발전하고 있는 테크놀로지이다. 이 어플리케이션은 광범위한 복잡성, 성능, 비용 및 타임-투-마켓 요건을 갖고 있다. 이 요건을 충족하는 하나의 솔루션을 찾는 것이 급선무다.

DSP 어플리케이션 구현 솔루션은 DSP 프로세서나 코어, ASIC 혹은 FPGA에서 찾을 수 있을 것이다. DSP 프로세서는 약간의 유연성을 제공하지만 오늘날의 DSP 어플리케이션의 성능 요건에 미치지 못한다. ASIC은 고성능을 제공하지만 제조 회사들에게 있어 가격이 비싼 편이고, 납기가 길며 대량 생산이어야 한다는 조건이 붙는다. 그러므로, 점점 더 많은 DSP 설계자들이 아키텍처의 유연성과 고성능, 그리고 더 낮은 비용과 더 빠른 타임-투-마켓을 지닌 FPGA로 방향 전환을 하고 있다.

오늘날 시장에서 유통되고 있는 다양한 프로그래머블 디바이스 가운데 알테라의 Stratix™ 디바이스는 전용 DSP 블록, 풍부한 메모리 자원, PLL(Phase-Locked Loop) 블록, 고속 I/O 핀 등 많은 뛰어난 특성들을 제공 DSP 어플리케이션에 대한 이상적인 선택이 되고 있다. 그러나, 프로그래머블 로직 디바이스를 사용하여 DSP 어플리케이션을 효율적으로 구현하려면, FPGA의 특화된 모든 자원을 활용하여야 한다.

HDL-기반의 설계 플로우에서 귀하는 HDL 코드에서 이러한 특별한 자원을 instantiation하거나 합성 툴의 inferring을 선택할 수 있다. 이상적인 솔루션은 합성 툴이 자동으로 DSP 블록이나, 메모리 자원, 시프트 레지스터를 일반 HDL 코드로부터 inferring하는 것이다. 또한 합성 툴은 고성능 DSP 설계의 복잡한 타이밍 요건을 취급할 수 있도록 첨단 기능을 이해하고 제공하여야 한다. Mentor Graphics®사의 Precision™ RTL 합성 툴은 귀하의 설계 성능 목표를 충족하는 이상적인 솔루션이다.

DSP 블록 지원

DSP 설계의 가장 일반적으로 사용되는 기능은 FIR(Finite Impulse Response) 필터와 IIR(Infinite Impulse Response) 필터, FFT(Fast Fourier Transform), DCT(Direct Cosine Transform), 인코더/디코더 및 오류 정정/탐지 등이다. 이들 모든 블록은 add, subtract, multiply, multiply-add 및 multiply-accumulate와 같은 집약적인 연산을 실행한다. Stratix 디바이스는 그러한 연산을 로직 셀 기반의 구현보다 더 빨리 구현하도록 최적화된 전용 DSP 블록을 갖고 있다.

Precision RTL 합성은 적절한 알테라의 메가펄션을 자동으로 inferring한다. 전용 DSP 자원에 구현하기 위하여 HDL 코드로부터 altmult_accum, altmult_add 혹은 lpm_mult 등. 다음의 HDL 코드는 이러한 메가펄션의 inference를 보여준다.

VHDL 코드로 기술한 multiply-accumulate 기능
prod_result <= a * b;

```
process (clk)
begin
    if (clk'event and clk = '1') then
        result <= result + prod_result;
    end if;
end process;
```

Verilog 코드로 기술한 multiply-add/subtract 기능

```
wire [17:0] mult1 = data_a * data_b;
wire [17:0] mult2 = data_c * data_d;
reg [17:0] data_out;
```

```
always @(posedge clk) begin
    if (add_mode)
        data_out <= mult1 + mult2;
    else
        data_out <= mult1 - mult2;
    end
```

TriMatrix 메모리 지원

메모리는 DSP 어플리케이션에서 흔히 사용되고 있는 또 다른 자원이다. Stratix 디바이스는 메모리-집약적인 어플리케이션에 대하여 풍부한 메모리 자원을 제공하고 있다. 대형 Stratix 디바이스는 7.5M비트의 임베디드 메모리를 갖고 있어 많은 DSP 어플리케이션에 대하여 외부 메모리 디바이스를 둘 필요가 없다. TriMatrix™ 메모리 구조는 3종의 서로 다른 크기의 임베디드 RAM 블록으로 구성되어 있다: 512-비트의 M512 블록, 4-K비트의 M4K 블록, 512-K비트의 M-RAM 블록 등이다.

Among the various programmable devices that are available in the market today, Altera's Stratix devices offer many powerful features dedicated DSP blocks, abundant memory resources, phase-locked loop (PLL) blocks, and high-speed I/O pins, making Stratix devices an ideal choice for DSP applications.

20페이지에서 계속

메모리 블록은 true dual-port, simple dual-port, 및 single-port RAM, ROM 및 FIFO(First-In First-Out) 블록을 구현할 수 있다. 또한 M512와 M4K 블록은 모두 시프트 레지스터로서 컨피규레이션될 수 있다. 이 옵션은 표준 레지스터를 사용하는 것 보다 더 효율적인 시프트 레지스터의 구현을 제공하여 일반 로직과 라우팅 자원을 절약하고 결과적으로 DSP 어플리케이션의 성능을 더욱 높여준다.

Precision RTL 합성은 일반 HDL description으로부터 RAM, ROM 및 FIFO(First-In First-Out) 블록을 inferring하고 적절한 Stratix 메모리 블록(M512, M4K 이나 M-RAM)에 그들을 구현한다. 또한 그것은 시프트 레지스터를 inferring하고 그들을 M512나 M4K 메모리 블록에 자동으로 구현한다. 다음의 HDL 코드 예제는 듀얼-포트 RAM 블록과 시프트 레지스터를 inferring하고 altsyncram과 altshift_taps 메가평션을 사용하여 그들을 구현한다.

듀얼-포트 RAM을 기술한 VHDL 코드

```
type mem__type is array (32 downto 0)
  of UNSIGNED (3 downto 0);
signal mem : mem__type;

begin
IO : process (clk__in)
  begin
    if (clk__in'event and clk__in = '1')
      then
        if (write__enable = '1') then
          mem(conv__integer(address__in))
            <= data__in;
        end if;
      end if;
    end process IO;

II : process (clk__out)
  begin
    if (clk__out'event and clk__out =
      '1') then
      data__out <= mem(conv__
        integer(address__out));
    end if;
  end process II;
```

시프트 레지스터를 기술한 Verilog 코드

```
assign shiftout = D;

always @ (posedge clock)
begin
  A <= shiftin;
  B <= A;
  C <= B;
  D <= C;
end
```

Stratix PLL 지원

Stratix 디바이스는 탁월한 PLL 블록을 제공한다. 이 고성능 클럭 관리 블록은 이전에는 오직 고급 사양의 전용 PLL 디바이스에서만 볼 수 있었던 많은 특성을 갖추고 있다. PLL이 가장 일반적으로 쓰이는 곳은 clock multiplication 및 clock division이다. HDL-기반의 설계 플로우에서 PLL 메가평션 요소는 HDL 코드로 instantiation되고 그 특성은 매개변수에 의하여 정의된다.

Precision RTL 합성은 instantiation된 PLL 요소에 따라 전달된 매개변수에 기초하여 클럭을 탐지하고 의도한 출력 값을 자동으로 계산하기 때문에 관련 업계에서 매우 독창적인 특성이다. PLL을 거친 클럭의 자동 전파(automatic propagation)는 유효한 constraint 때문에 더 나은 합성 결과를 가져오며 또한 타이밍 분석의 정확성을 증가시켜 준다.

첨단 I/O 지원

오늘날의 복잡한 DSP 어플리케이션은 높은 데이터 전송 속도를 얻기 위하여 고속 I/O 표준을 요한다. 이 요건에 부응하기 위하여 Stratix 디바이스는 LVDS, LVPECL, PCML, PCI 및 RapidIO™ 표준과 같은 다양한 싱글-엔디드 및 differential I/O 표준을 지원하고 있다. 또한 그것은 마이크로프로세서와 주변기기, 게이트 어레이 및 DDR(Double Data Rate) SDRAM, DDR FCRAM(Fast-Cycle RAM) 및 ZBT(Zero-Bus Turnaround) SRAM과 같은 외부 메모리 디바이스와의 인터페이스를 제공한다.

Precision RTL 합성은 GUI(Graphical User Interface) 혹은 attribute를 사용하여 선택된 포트에 원하는 I/O 표준과 drive strength, 그리고 slew rate를 선택하고 설정할 수 있는 편리한 방법을 제공한다. 또한 Precision RTL은 설계의 타이밍 요건에 맞추어 Stratix I/O 레지스터를 자동으로 사용하는 기능을 갖고 있다. 따라서 귀하의 설계에 있어 최상의 성능을 제공한다.

결론

멘토 그래픽스사의 Precision RTL 합성은 Stratix 아키텍처를 상세히 파악하고 있으며 FPGA에서의 DSP 어플리케이션의 구현에 대한 최적의 솔루션을 제공한다. 알테라의 Stratix 디바이스와 Precision RTL 합성은 오늘날의 고성능 복합 DSP 설계의 요건을 충족하는 독창적인 솔루션을 제공하고 있다.

Together, Altera's Stratix devices and Precision RTL Synthesis provide a unique solution that meets the needs of today's high-performance and complex DSP designs.

IP를 사용, FPGA에 DDR SDRAM 직접 연결

DDR(double data rate) SDRAM은 현재 저가의 고성능 메모리를 많이 필요로 하고 있는 임베디드 어플리케이션 설계자들이 가장 많이 사용하고 있는 메모리 타입이다. 그것은 양 종단에서 데이터를 클럭킹함으로써 데이터 경로의 raw bandwidth를 배가해주는 별도의 외부 인터페이스 로직을 사용하여 SDR(single data rate) SDRAM에 비하여 높은 성능 이점을 제공한다. PC업계에서 많이 채택하고 있으며 SDR SDRAM에 비하여 장기적으로 사용이 가능하다는 점 때문에 그것은 또한 오늘날의 어플리케이션에 대한 뛰어난 상업적 가치를 구축하고 있다.

대형 외부 RAM을 필요로 하는 오늘날의 시스템-온-칩(SOC) 설계는 DDR SDRAM 인터페이스를 지원할 필요가 있다. FPGA 테크놀러지를 활용하는 시스템-온-어-프로그래머블-칩(SOPC) 설계에서도 다르지 않다(NRE:Non Recurring Engineering 비용 없이 모든 설계자들이 사용 가능하다는 점을 제쳐두고서도).

DDR SDRAM에 연결하기 위한 요건은 2가지 카테고리로 분류될 수 있다: 전기적 그리고 타이밍이 그것이다. 전기적으로 SSTL-II 싱글-엔디드 I/O는 데이터 및 컨트롤 시그널에 대하여 2.5-V에서 지원되어야 하며 2.5-V differential 클럭 시그널 또한 지원되어야 한다. FGPA는 쉽게 이러한 요건들을 지원할 수 있다; 그러나 타이밍은 특히 데이터가 클럭의 양 끝에서 전송될 때 더 큰 문제점을 낳는다. 이 문제는 I/O 셀이 클럭 주파수의 2배로 동작할 수 있어야 한다는 것을 의미한다. 귀하는 I/O 셀이 클럭의 양 끝에서 데이터를 latch 할 수 있도록 레지스터의 수를 2배로 함으로써 이를 해결할 수 있다. 또 다른 대안은 I/O 셀을 2배의 클럭 속도에서 동작시키고 범용 로직을 사용하여 클럭의 시작 및 끝에서 데이터를 분리하는 것이다. Stratix™ 디바이스 제품군은 6개의 레지스터를 포함하고 있으며 최대 200MHz(초당 400 메가비트:Mbps)의 DDR SDRAM 연결을 지원하고 있다. Cyclone™ 디바이스는 I/O 셀 당 3개의 레지스터를 포함하며 최대 133 MHz(266Mbps)의 DDR SDRAM 동작을 지원할 수 있다.

아마도 DDR SDRAM을 연결하는데 있어 타이밍 요건의 가장 큰 과제는 DQS 핀에 있을 것이다. DQS 핀은 데이터 DQ 라인에 클럭킹하는데 필요한 양방향 Strobe이다. 문제는 SDRAM이 읽혀지느냐 혹은 기록되느냐에 따라 두 strobe 방향과 타이밍이 다르다는 점이다. DDR SDRAM으로부터 읽혀질 때 데이터가 윈도우의 중앙에서 포착되도록 하기 위하여 DQS 시그널의 phase는 90도 시프트되어야 한다. 이를 돕기 위하여 DQ라인과 관련 있는 외부 PCB(printed circuit board) 트랙을 사용하는 것처럼 외부 고정 딜레이를 삽입하는 것이 가능하지만 그러나 이 방법에는 몇 가지 문제가 있다. 첫째로 DQS 핀이 양방향이기 때문에 올바른 읽기 동작을 확실하게 하는데 소요되는 모든 딜레이가 쓰기 단계에서 제거될 필요

가 있다는 것이다. 이것은 또한 쓰기 데이터 클럭이 시프팅될 필요가 있다는 것을 의미하고 별도의 클럭 phase를 요한다. 온-칩 클럭 매니저의 유연성에 따라 외부 클럭 소스없이 이것을 제공하는 것이 가능하지 않을 수도 있으며 그럴 경우 다른 온-칩 자원을 더 필요로 한다.

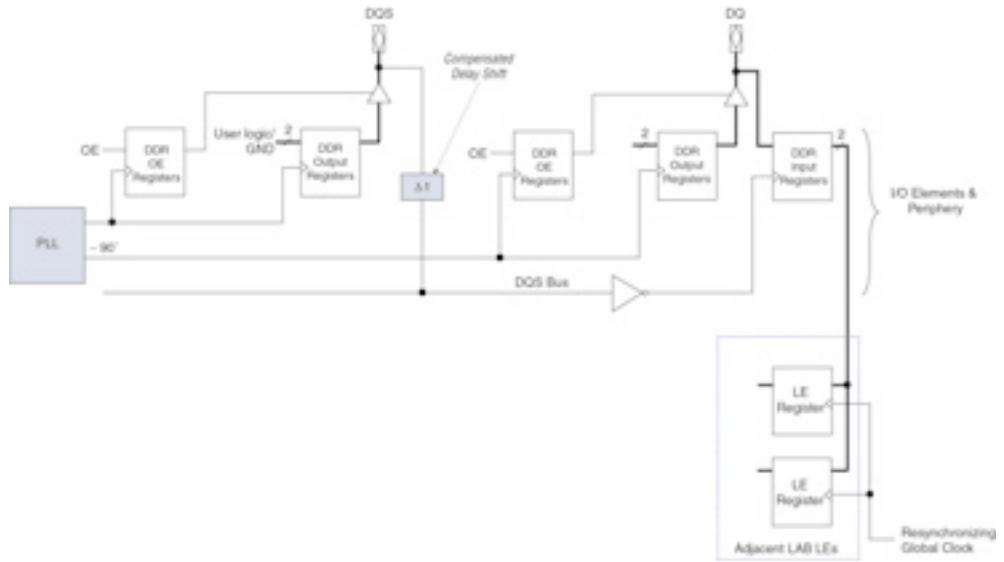
또한 확장된 PCB 트레이스를 사용하는 것은 PCB 라우팅이 제한적일 경우 문제를 야기시킬 수 있으며 극단적인 경우에는 별도의 PCB 레이어를 사용해야만 한다. DQS 라인에 추가할 필요가 있는 외부 트레이스의 양은 주파수에 의하여 결정된다; FR-4 PCB에서 시그널은 인치당 약 166ps에서 전파된다. 100이나 200MHz에서 동작하는 DDR SDRAM에 대하여 DQS당 7에서 15인치 길이의 트랙이 추가로 필요할 수도 있다. 또한 특히 개발동안에 감소된 클럭 주파수에서 동작할 수 있는 시스템을 개발하는 것이 때때로 필요할 수도 있다. 고정된 딜레이 요소는 더 작은 주파수에서 세력을 약화시키거나 프로토타이핑함으로써 싱글 주파수에서 올바른 phase shift를 제공할 수 있을 뿐이다.

이 문제를 해결하기 위하여 알테라의 Stratix™ 및 Cyclone 디바이스는 딜레이된 DQS read sampling에 대한 지원을 포함하고 있다. 이 지원은 공정과 전압, 온도 변동에 대하여 타이밍을 맞추기 쉽게 해줄 뿐만 아니라 로직 엘리먼트(LE:Logic Element)와 PLL(Phase-Locked Loop)과 같은, FPGA의 범용 자원의 사용을 최소화해준다. 요점은 딜레이된 DQS 입력 시그널이 DQ 핀의 입력 레지스터를 직접 클럭킹 한다는 것이다. 이러한 간단한 특성으로 DDR SDRAM뿐만 아니라 다른 많은 고속 메모리 타입을 연결하려는 설계자들이 갖고 있는 고민거리를 해결할 수 있다.

DDR SDRAM 컨트롤러와 메모리 디바이스에 대하여 여러 클럭 소스가 필요하다. 여기에는 differential SDRAM 클럭, 코어 시스템 클럭, write data clock, 그리고 round-trip 타이밍에 따라 아마도 read capture clock 등이 포함된다. 제한된 출력을 가진 단순한 DLL(Delay-Locked Loop)을 사용하는 것은 최대 3개의 블록을 타이밍 요건을 충족하도록 instantiation하는 것을 의미한다. 대부분의 경우에, 하나의 Stratix나 Cyclone의 PLL은 개별적으로 컨피규레이션할 수 있는 출력이 많이 갖고 있기 때문에 이 모든 것을 제공한다.

일단 FPGA가 DDR SDRAM으로 연결될 기능을 제대로 지원하도록 구축되고 나면 메모리 컨트롤러와 모든 외부 시그널이 타이밍 분석을 통과하도록 검증하는 것이 필요하다. 오늘날의 고성능 FPGA는 200-MHz의 시스템 속도와 1Gbps(gigabit per second)에 달하는 동기식 I/O 속도를 지원할 수 있다. 그러나 귀하의 DDR 메모리 컨트롤러가 사양을 확실히 충족하도록 하려면 PCB 레이아웃 및 타이밍 분석뿐만 아니라 FPGA와 I/O 뱅크 내에 위치 배정을 적절히 할 필요가 있다.

Dedicated Stratix DQS Delay Circuitry



귀하는 4가지 카테고리의 타이밍 분석을 고려해야만 한다: Write 데이터 타이밍, Address, Command 타이밍 및 DQS로 캡처된 Read 데이터를 시스템 클럭 도메인으로 resynchronization. IP 코어에 기초한 검증된 참조 설계를 사용하고 관련 자료를 따라 함으로써, 타이밍 요건을 충족할 수 있다. 고속 데이터 경로뿐만 아니라 DDR SDRAM 스테이트 머신은 올바르게 구현되어야 하며 DRAM 셀의 정확한 초기화와 세심한 refresh가 필요하다. 또한 DDR SDRAM이 JEDEC 표준에 의하여 정의되기 때문에 메모리 컨트롤러는 JEDEC 표준을 따르고 있다. 만약 귀하가 서로 다른 DDR SDRAM 컨피규레이션과 소스를 규정하는데 있어 유연성을 갖고 싶다면 또 다른 테스트가 필요하다.

DDR SDRAM 지원을 가진 ASSP(Application-Specific Standard Product)를 사용할 경우 메모리가 올바르게 초기화되고 나면 어플리케이션은 DDR SDRAM을 메모리 맵의 메모리 블록으로서 단순 취급한다. 올바르게 설계된 DDR SDRAM 컨트롤러를 포함하고 있는 SOC 혹은 SOPC 어플리케이션에서 귀하가 내부적으로 메모리 컨트롤러를 내부 버스에 연결하는 방법을 고려해야만 한다는 것을 빼면 그것 또한 방법이 될 수도 있다. 이를 수행하는 가장 효율적인 길은 arbitration 시그널을 가진 SRAM-유형의 인터페이스(주소, 데이터 그리고 strobe)를 사용하는 것이다. 알테라의 DDR SDRAM 컨트롤러 IP 코어는 이를 제공하며 검증된 off-the-shelf 솔루션을 제공함으로써 앞에서 논의된 모든 문제들을 해결하여 준다.

DDR SDRAM을 포함하는 시스템의 모든 설계자는 다소 서로 다른 요건을 갖고 있을 수도 있다. 한 설계자는 off-the-shelf DIMM 모듈을 지원하고 차후의 업그레이드가 가능한 64-비트의 풀 DIMM 인터페이스를 선호하는 한편 다른 설계자는 저가형의 싱글, 16-비트 와이드 디스크리트 DDR SDRAM 디바이스를 사용하고 싶어할 수도 있다. 선택된 메모리 디바이스에 따라, 다수의 칩 선택과 여러 주소 라인들을 지원하는 것이 필요할 수 있다. 다른 변수로는 CAS(Column Address Strobe) latency와 refresh 주기가 있다; 그러므로 사용된 모든 메모리 컨트롤러 IP는 완전히 매개변수화될 수 있어야 한다. 알테라의 DDR SDRAM IP 코어는 project inclusion에 대하여 VHDL 소스와 참조 설계를 생성하는, 그래픽에서 매개변수화 할 수 있는 소프트웨어 패키지로서 공급된다.

32-비트 DDR SDRAM 인터페이스에 대한 Cyclone 디바이스의 로직 사용은 대략 1천개의 LE(Logic Element)이며 Stratix 디바이스에서는 800개의 LE이다. Stratix 디바이스에서는 64-비트 풀 인터페이스조차도 겨우 1천개의 LE만을 사용한다. 그러므로 전체적인 시스템 비용이 매우 낮게 유지된다.

결론

DDR SDRAM 과의 I/O interface가 가능한 FPGA에 DDR SDRAM 컨트롤러 IP를 사용하는 것은 설계자들이 시스템의 다른 부분에 전력을 할 수 있도록 해주며 시간을 절약하고 첫번째 설계의 성공 가능성을 최대화해줄 수 있다.

귀하는 알테라의 웹 사이트 www.altera.com에서 다운로드 받음으로써 DDR SDRAM 컨트롤러의 OpenCore® 평가버전을 무료로 사용할 수 있다. OpenCore 평가 버전을 사용하여 IP, place-and-route, 및 static timing analysis 등을 실행하여 볼 수 있다.

알테라의 University Program

교육에 대한 알테라의 의지는 알테라 정도의 규모를 가진 그 어느 회사보다 높다고 하겠다. 알테라 디바이스의 프로그래머블 속성은 교육 목적에 매우 이상적이다. 교육을 향상시키기 위하여, 알테라의 University Program은 지금까지 20여년동안 전세계 각 대학과 긴밀히 협력하여 왔다. 5년 전부터 특별히 대학원생 교육을 대상으로 소개한 UP1 개발 보드를 통하여 이 프로그램은 한단계 발전되었다. 최초의 UP1 보드는 MAX[®] EPM7128 CPLD와 FLEX[®] EPF10K20 FPGA를 탑재하고 있으며 MAX+PLUS[®] II 소프트웨어로 프로그램되었다. 이 초기의 보드는 전세계 대학에서 수많은 학과 수업과 교재에 사용되었다.

UP1 보드의 매우 성공적인 결과에 힘입어 2년 전, FLEX EPF10K70 FPGA와 파워 서플라이, 케이블 및 Georgia State University의 교수 2명이 집필한 텍스트 북을 포함, UP2 보드를 공급하게 되었다(알테라는 이번 달까지 2만 여 권의 책을 공급하였다). 2003년 7월에 알테라는 Quartus[®] II 웹 에디션 소프트웨어가 지원하게 함으로써 이 패키지를 다시 한번 업그레이드하였으며 이로써 학생(대학원생)들은 그들이 졸업한 후에 다루게 될 세계적인 수준의 알테라 툴을 학창시절에 경험할 수 있는 기회를 더욱 확대하였다.

University Program의 발전

알테라의 University Program은 다음과 같은 세가지 기본 원칙을 따름으로써 최근 2년간 매우 큰 발전을 하였다.

첫째로 알테라는 교육기관에 현재 고객에게 판매되고 있는 것과 동일한 개발 키트와 디바이스, 툴을 제공하고 있다. 개발 키트의 경우, 알테라는 가격을 크게 인하하였으며 따라서 전세계 모든 학교에서 첨단 하드웨어, 소프트웨어 및 IP(Intellectual Property)를 사용할 수 있게 하였다. 이 디바이스들은 수많은 대학원 및 대학 프로그램의 기초를 이루고 있다. 알테라는 최상의 디바이스(Stratix[™] 및 Cyclone[™] FPGA)를 인화된 가격 혹은 무료로 많은 대학에 공급하고 있다. 또한 알테라는 이 프로그램을 통하여 Quartus II 소프트웨어 풀 버전을 공급하고 있다.

두번째로, 알테라는 개발 키트와 디바이스의 기증 형식을 빌어 졸업 및 재학생의 연구 개발을 지원하고 있다. 최근 2년간 이러한 알테라의 지원은 전세계 수많은 대학으로 확장되고 있다.

세번째로, 알테라는 우수한 인재를 확보하기 위하여 대학과 활발히 교류하고 있다. 1년에 6회 정도, 알테라는 산호세 본사에서 졸업생 그룹과의 만남을 주선한다. 이들은 미국의 여러 대학에서 뿐만 아니라 중국과 이탈리아, 독일 및 캐나다 등지에서 온 학생들이다.

알테라의 University Program은 지속적으로 확대되고 있으며 아시아 퍼시픽 지역의 성장에 중점 두고 여러 자원을 확장하고 있다. 2003년 가을에는 주요 교육 툴로서 Quartus II 소프트웨어를 보급하는데 더욱 주력하고 있다. 또한 여러 설계 컨테스트들이 개최되고 있으며 모든 레벨의 학생들이 알테라의 Nios[®] 개발 키트, Cyclone 에디션을 사용하여 설계 경험의 기회를 갖고 있다.

결론

이 프로그램에 등록되어 있는 많은 대학과 교수 그리고 학생들에 대하여 자세히 열거할 수는 없지만 이 프로그램이 지금까지 모든 면에서 3배 이상 증대되었다고 말할 수 있다. 우리의 고객을 대하듯이 교육자와의 긴밀한 협력관계를 바탕으로 이 프로그램이 성공적으로 자리잡게 되었다.

알테라의 핸드북 소개- 제품 자료를 간편하게 찾아 볼 수 있어



기술 자료를 보다 간편하게 구할 수 있도록 하기 위하여 알테라는 제품 핸드북을 발행하게 되었다. 자료 유형보다는 기능과 특성을 기준으로 구성되었으며 귀하는 알테라의 Literature 웹 사이트(www.altera.com/literature)에서 간편하게 제품 핸드북을 다운로드 받거나 혹은 필요한 특정 부분을 볼 수 있다.

Stratix™, Cyclone™, HardCopy™ 및 컨피규레이션 디바이스 핸드북과 관련, 알테라는 다양한 주제에 관한 어플리케이션-기반의 책 뿐만 아니라 최상의 제품 및 개발 툴, 그리고 임베디드 프로세서 솔루션에 대한 제품 핸드북을 공급할 예정이다. 표1 참조.

더욱이, 핸드북 인쇄본은 최신의 기술적인 제품 자료들의 프린트물을 항상 이용할 수 있게 하기 위하여 개발된 전자 상거래 서비스인 www.ShopAltera.com에서 구입 가능하다. Print-on-demand 테크놀러지를 기반으로 알테라의 제품 핸드북이 인쇄되며 주문시 단시간 내에 배송 가능하다.

“알테라의 새로운 print-on-demand 서비스는 이미 시기가 지난 정보를 구매해야 하는 위험성이 사라져 기술 자료들의 프린트물의 활용을 극대화하여 줍니다.” 라고 코퍼레이트 마케팅 부사장인 Tim Southgate씨는 말하였다 “고객들은 그들이 주문한 핸드북이 제품의 최신 기술 정보를 갖고 있다는 것을 믿을 수 있습니다.”

Table 1. Stratix, Cyclone & HardCopy Handbooks	
Device Family Handbooks	Description
Stratix	Volume 1: Stratix FPGA Family Data Sheet, including feature definitions, configurations and testing information, DC operating conditions, AC timing specifications, power consumption, and ordering information.
	Volume 2: Detailed information on how to use Stratix features, IP functions, and supported configurations modes.
	Volume 3: Device pin tables, PCB layout guidelines, and package specifications.
Cyclone	Volume 1: The Cyclone FPGA Family Data Sheet and detailed information on how to use Cyclone features, IP functions and supported configurations modes.
	Volume 2: Device Pin tables, PCB layout guidelines, and package specifications.
HardCopy	Comprised of the HardCopy Stratix and HardCopy APEX 20K Data Sheets, Hardware Design Considerations, and Software Support.
Configuration	Volume 1: Configuring Stratix and Stratix GX Devices, Configuring Cyclone FPGAs, Configuring APEX II Devices, Configuring APEX 20KE and APEX 20KC Devices, Configuring Mercury, APEX 20K (2.5 V), APEX 1K and FLEX 10K Devices.
	Volume 2: Enhanced Configuration Devices (EPC4, EPC8 & EPC16) Data Sheet, Using Altera Enhanced Configuration Devices, Serial Configuration Devices (EPCS1 & EPCS4) Data Sheet, Configuration Devices for SRAM-Based LUT Devices Data Sheet, Device Configuration Options, Configuration File Formats, Configuring Mixed Altera FPGA Chains, Combining Different Configuration Schemes, Using Flash Memory to Configure FPGAs, and Debugging Configuration Problems.

SOPC World 2003 무료 컨퍼런스 개최 : Your Roadmap to the Future

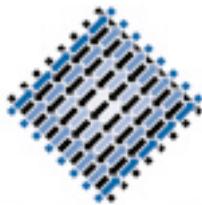
획기적인 비용 절감, 사상 유례없는 성능 증가 및 설계의 단순화는 프로그래머블 로직으로 하여금 특히 임베디드 설계와 디지털 시그널 프로세싱(DSP: Digital signal processing), 시그널 인터페이스/브리징 및 고속 시그널을 가진 설계에 있어 기존의 시스템 설계 기술에 대한 확실한 대안으로 자리잡게 하였다. 업계 최첨단의 프로그래머블 솔루션의 장점을 직접 체험하려면 알테라의 무료 컨퍼런스인 SOPC World 2003에 참가하자.



데모 및 전시

또한 SOPC World 2003에서는 200MHz DDR(double data rate) 메모리와의 통신, 시스템 프로세서의 DSP 성능 증대, 그리고 3.125Gbps의 고속 데이터 전송 등 알테라와 파트너사들의 효율적인 여러 솔루션을 보여 주는 많은 실용적인 데모 및 전시가 있을 예정이다.

Altera to announce three significant new product families during SOPC World 2003



PLD WORLD 2003

알테라의 SOPC World 2003은 2003년 9월부터 11월까지 10월 17일 일본 동경에서 Japan's PLD World를 비롯, 무려 전세계 20여 개 이상의 도시에서 개최될 예정이다. (한국에서는 10월 30일(목) 서울 삼성동 그랜드 인터컨티넨탈 호텔 그랜드 볼룸에서 있을 예정이다.) 올해 이 컨퍼런스에서는 다음과 같이 여러 주요 시스템 설계 과제와 솔루션을 분석하는 기술 세션을 무료로 제공한다.

- 임베디드 프로그래머블 프로세싱을 위한 커스텀 주변기기 및 인스트럭션 개발하기
- 고속 시스템을 위한 솔루션
- 강력한 SOPC Builder 툴을 사용하여 시스템 설계와 통합을 단순화시키기
- DSP용 FPGA 코-프로세서
- 2004년에 소개될 알테라의 세가지 주요 신제품에 대한 미리 보기

알테라가 어떻게 귀하의 설계 문제를 해결하고 혁신을 유도하며 귀하의 비전을 실현할 수 있는지 그 답을 컨퍼런스에서 구할 수 있다. SOPC World 2003의 일정과 장소에 대하여 표 1을 참조하기 바란다. SOPC World 2003에 대한 더 자세한 정보와 등록을 위하여 www.altera.com/sopcworld를 방문하기 바란다.

Table 1. SOPC World 2003 World-Wide Dates & Locations

North America		Europe		Asia	
Dates	Locations	Dates	Locations	Dates	Locations
September 30, 2003	Richardson, TX (Dallas)	October 30, 2003	Milan, Italy	October 15, 2003	Shanghai, China
October 1, 2003	Irvine, CA	November 4, 2003	Munich, Germany	October 20, 2003	Beijing, China
October 2, 2003	Manhattan Beach, CA (Los Angeles)	November 6, 2003	Stuttgart, Germany	October 28, 2003	Hsinchu, Taiwan
October 6, 2003	Toronto, ON Canada	November 11, 2003	Kista, Sweden	October 30, 2003	Seoul, South Korea
October 7, 2003	Chelmsford, MA (Boston)	November 13, 2003	Espoo, Finland	November 5, 2003	Bangalore, India
October 8, 2003	Edison, NJ	November 18, 2003	Paris, France		
October 9, 2003	Cary, NC (Raleigh)	November 20, 2003	Bedfordshire, UK		
October 10, 2003	Bethesda, MD				
October 21, 2003	Broomfield, CO (Denver)				
October 28, 2003	Oakbrook Terrace, IL (Chicago)				
November 6, 2003	Santa Clara, CA				

알테라 교육 정보



알테라의 기술 교육은 최신의 툴과 테크놀러지를 통하여 귀하의 기술력이 더욱 향상되도록 함으로써 가장 효율적인 시스템-온-어-프로그램머블-칩(SOPC) 솔루션을 설계할 수 있도록 해준다. 알테라의 교육 과정은 최상의 성능과 가장 작은 풋프린트 설계를 얻을 수 있도록 알테라의 Quartus[®] II 소프트웨어 3.0 버전과 관련 EDA 툴의 최신 특성을 활용하는 방법을 교육하며 결과적으로 비용 절감과 더욱 빠른 타임-투-마켓을 구현할 수 있도록 해준다. 알테라의 교육 과정에서 디지털 시그널 프로세싱(DSP: Digital signal processing) 어플리케이션, 임베디드 프로세서 시스템, 그리고 고속 설계를 중점적으로 다루며 고객의 특화된 요구를 충족하는 과정을 제공한다.

실습

실습은 새로운 기술을 배울 수 있는 가장 좋은 방법이다: 그러므로 이것은 모든 교육 과정에서 필수적인 부분이다. 알테라의 개발 보드의 하드웨어 상에서 귀하가 배운 것을 테스트해볼 수 있는 과정이 준비되어 있다. 귀하가 DSP 시리즈 파트 I 혹은 DSP 시리즈 파트 II 기술 교육 과정에 참가하는 경우 지속적으로 개발 작업을 할 수 있도록 모든 DSP 개발 키트에 대하여 20퍼센트의 할인 혜택을 받을 수 있다. 이와 마찬가지로, Nios 혹은 SOPC 기술 교육 과정에 등록하면, 모든 Nios[®] 개발 키트에 대하여 20퍼센트 할인을 받는다. 알테라의 인기 있는 교육 과정에 대한 정보는 표1을 참조하기 바란다.

만약, 귀하가 교육 과정에 등록하기 전에 Nios나 DSP 개발 키트를 구입하는 것을 고려하고 있다면 키트에 포함되어 있는, 북미 지역의 알테라 기술 교육 과정에 대한 20퍼센트 할인 쿠폰을 이용할 수 있다. 알테라는 귀하가 자신의 설계 목표를 달성하는데 있어 가능한 모든 지원을 아끼지 않을 것이다.

www.altera.com/training을 방문, 알테라의 교육 과정에 등록할 수 있다.

Table 1. Popular Altera Courses

Course Name	Duration	Course Type	Suggested Resale Price Per Student
DSP Design Series Part 1: Implementing DSP Designs in FPGAs	8 Hours	Instructor-Led	\$495
DSP Design Series Part 1: Using FPGAs to Architect and Optimize a DSP System	8 Hours	Instructor-Led	\$495
Designing with Nios & SOPC Builder	8 Hours	Instructor-Led	\$195
Designing a System on a Programmable Chip	8 Hours	Instructor-Led	\$495
Designing with Quartus II	8 Hours	Instructor-Led	\$195
Designing with Synplicity Synplify Pro & Altera Quartus II Software	8 Hours	Instructor-Led	\$195
Analyzing Designs Using Model Technology's ModelSim & Altera's Quartus II Software	8 Hours	Instructor-Led	\$195
Designing with Cyclone Devices	8 Hours	Instructor-Led	\$195
Fundamental Design Techniques for Stratix Devices	8 Hours	Instructor-Led	\$195
Advanced Design Techniques for Stratix Devices	8 Hours	Instructor-Led	\$195
Using Intellectual Property & Optimizing Stratix Designs	8 Hours	Instructor-Led	\$495
Introduction to VHDL	8 Hours	Instructor-Led	\$195
Advanced VHDL Design Techniques	8 Hours	Instructor-Led	\$495
Introduction to Verilog HDL	8 Hours	Instructor-Led	\$195
Advanced Verilog Design Techniques	8 Hours	Instructor-Led	\$495

HardCopy Questions & Answers

Q 알테라의 HardCopy™ 디바이스 제품군은 다른 벤더의 유사 제품과 어떻게 다른가요 ?

A 알테라의 HardCopy 디바이스 제품군은 시제품에서 양산까지 사용 가능한 업계 유일한 제품입니다. 여러 벤더들을 필요로 하고 있는 경쟁사의 솔루션과는 달리 알테라는 FPGA, 개발 툴, IP(Intellectual Property) 코어 그리고 최소한의 위험과 신속한 타임-투-마켓 이점뿐만 아니라 기능이 검증된 시제품에서 대량 생산의 양산 디바이스까지 끊김 없는 마이그레이션 과정을 제공합니다. 설계자는 FPGA에서부터 양산 단계까지 사용이 간편하고 낮은 가격의 단일화된 툴을 사용할 수 있습니다. 시중의 다른 제품과 달리 마이그레이션 과정 동안에 설계를 재-합성할 필요가 없습니다. 이것은 새로운 설계를 만드는데 따르는 위험을 최소화해주고 첫번째 시도에서의 성공을 보장하여 줍니다.

Q 알테라는 HardCopy 디바이스의 타이밍이 FPGA와 동일하다는 것을 보장하고 있습니까 ?

A 예. 알테라는 HardCopy 디바이스의 타이밍 매개변수가 FPGA 성능과 동일하거나 더 높다는 것을 보장합니다.

이것은 개별 HardCopy 타이밍 경로가 FPGA의 관련 타이밍 경로와 같거나 더 빠르다는 것을 의미합니다. 그러나 모든 타이밍 경로의 속도가 반드시 같은 비율로 올라가지 않으며 따라서 귀하는 지나친 비동기식 설계를 자제하여야 합니다.

Q 설계자는 HardCopy 디바이스로 어떠한 성능 향상을 기대할 수 있습니까 ?

A HardCopy 디바이스로 마이그레이션 함으로써, 설계 성능을 동급 FPGA의 성능보다 평균 50퍼센트 증가시킬 수 있습니다. HardCopy 디바이스 성능 향상 정도는 설계에 따라 다릅니다. 알테라는 HardCopy 설계 성능이 동급 FPGA와 같거나 그 이상이 된다는 것을 보장하고 있습니다. 설계자는 Quartus II 설계 소프트웨어 최신 버전의 HardCopy Timing Optimization Wizard를 사용하여 HardCopy Stratix 디바이스의 설계 성능을 예측할 수 있습니다.

Q HardCopy의 Timing Optimization Wizard가 HardCopy APEX 20KC™ 및 HardCopy APEX 20KE™ 디바이스의 성능을 예측하고 최적화하는데 사용될 수 있습니까 ?

A HardCopy Timing Optimization Wizard는 오직 HardCopy Stratix™ 디바이스의 성능을 예측하고 최적화하는데 사용될 수 있습니다. 그러나 설계자는 알테라의 HardCopy 설계 센터에 문의하여 HardCopy APEX 20KC와 HardCopy APEX 20KE 디바이스의 성능 예측값을 알 수 있습니다. 이 정보는 마이그레이션을 위하여 설계를 제출한 이후 1주 이내에 알 수 있습니다.

Q HardCopy 디바이스는 동급 FPGA보다 적은 전력을 소모합니까 ? 그렇다면 전력 소모율은 어떻게 됩니까 ?

A HardCopy 디바이스는 본질적으로 동급 FPGA에 비하여 평균 40퍼센트 적은 전력을 소모합니다. 이러한 감소 정도는 설계 매개변수에 따라 다릅니다. 설계자는 마이그레이션을 위하여 설계를 완성하기 전에 HardCopy APEX 전력 계산기와 HardCopy Stratix™ 전력 계산기를 사용하여 설계의 전력 소모량을 알 수 있습니다.

Q HardCopy 디바이스에서 I/O 전기적 성능이 동급 FPGA와 같습니까 ?

A 예. HardCopy 디바이스의 I/O 전기적 성능은 동급 FPGA와 같습니다. 따라서 설계자들은 FPGA 설계에서 사용되었던 시스템 보드를 그대로 이용할 수 있으며 FPGA가 HardCopy 디바이스로 대체될 때, 동일한 보드 성능을 보장할 수 있습니다.

Q HardCopy 디바이스에서 테스트는 어떻게 합니까 ?

A HardCopy의 base array는 테스트 회로와 함께 내장되어 있습니다. 메모리 및 PLL(Phase-Locked Loop)을 위한 BIST(Boundary Insertion Scan Test)회로와 설계용 바운더리 스캔 로직이 HardCopy 디바이스에 존재합니다. 알테라의 HardCopy 디바이스는 고객으로부터 어떠한 기능 백터도 필요로 하지 않습니다. HardCopy 디바이스는 ATPG(Automatic Test Pattern Generation) 백터를 이용하여 설계 구조 내에서 테스트 되고 대략 99퍼센트의 매우 높은 오류 커버리지를 제공합니다.

Q FPGA 컨피규레이션 특성이 HardCopy 디바이스에서는 어떻게 다루어집니까 ?

A FPGA 컨피규레이션 회로는 HardCopy 디바이스에 지장을 주지 않습니다. HardCopy 디바이스는 ASIC처럼 즉시 파워-업 되거나 혹은 FPGA의 컨피규레이션 과정을 에뮬레이션 할 수 있습니다. 이것은 설계자가 비용을 들여 설계 변경을 하거나 컨피규레이션 디바이스 소프트웨어를 수정할 필요 없이 FPGA가 함께 사용되었던 시스템 보드를 유지할 수 있게 해줍니다.

Q 여러 FPGA가 하나의 HardCopy 디바이스로 결합될 수 있습니까 ?

A 이에 대한 직접적인 전환은 없지만 귀하는 다수의 소형 FPGA를 하나의 더 큰 디바이스로 전환할 수 있습니다. 일단 귀하가 새로운 디바이스에서 기능의 작동과 타이밍을 검증하고 난 뒤, 귀하는 HardCopy 디바이스로 마이그레이션할 수 있습니다.

Q 알테라의 HardCopy 디바이스를 설계하려면 어떤 툴이 필요합니까 ?

A 설계자는 FPGA를 설계하는 것과 동일한 소프트웨어인, 사용이 간편한 Quartus® II 설계 소프트웨어 3.0 버전을 이용하여 알테라의 HardCopy 디바이스를 설계할 수 있습니다. 다른 툴이 별도로 필요하지 않습니다.

Q Quartus II 설계 소프트웨어의 HardCopy Files Wizard란 무엇입니까 ?

A Quartus II 설계 소프트웨어의 푸쉬-버튼 특성인 HardCopy Files Wizard는 HardCopy 디바이스로 전송될 전체 설계 데이터베이스를 만들어 줍니다. 또한 이 특성은 설계에 대한 사용자 입력을 필요로 하며 이는 마이그레이션 과정 동안에 사용됩니다.

Q Quartus II 설계 소프트웨어의 Design Assistant란 무엇입니까 ? Design Assistant로 설계 데이터베이스를 체크하는 것이 왜 중요합니까 ?

A Quartus II 설계 소프트웨어의 특성인 Design Assistant는 설계가 업계 표준의 설계 규칙을 따르고 있는지 검증해줍니다. 마이그레이션을 위하여 데이터베이스를 알테라의 HardCopy 설계 센터로 전송하기 이전에 설계자는 모든 위반 사항에 대하여 알 수 있습니다. 설계가 마이그레이션되기 전에 설계자는 그 위반 사항들을 해결해야 합니다. 이 과정을 통하여 첫 번째 시도에서의 설계 성공을 보장하여 줍니다.

Q HardCopy 디바이스로 마이그레이션 하기 위하여 어떠한 것을 알테라에 제공하여야 합니까 ?

A 고객은 FPGA 설계 파일(.sof), 타이밍 constraint 그리고 Quartus II 설계 소프트웨어로부터 핀 배정 파일을 제출하여야 합니다. 이들은 HardCopy Files Wizard 특성을 사용하여 만들어 낼 수 있습니다. 알테라의 Hard Copy 설계 센터가 마이그레이션 과정을 진행하게 됩니다.

Q 바운더리 스캔 동안에 HardCopy 디바이스의 사용되지 않은 I/O 핀들은 어떻게 합니까 ?

A FPGA의 경우처럼 사용되지 않은 I/O 핀들은 항상 JTAG(Joint Test Action Group) 체인에 연결되어 있습니다. 그러나 바운더리 스캔 순서가 같지 않습니다. 그러므로 특정 BSDL(boundary-scan description language) 파일은 HardCopy 디바이스용으로 필요합니다.

Q 알테라는 기능 검증을 위하여 설계자에게 게이트 레벨의 HardCopy 넷리스트를 제공할 수 있습니까 ?

A 예, 알테라는 검증을 위하여 최종 HardCopy 디바이스 넷리스트와 standard delay file(.sdf)을 제공할 수 있습니다. 그러나 이것은 마이그레이션을 보장하는데 필요하지는 않습니다.

Q IP 코어가 HardCopy 디바이스로 마이그레이션 될 수 있습니까 ?

A 예, FPGA 설계에서 알테라의 자체 개발 코어인 MegaCore®나 제 3자 AMPPSM(Altera Megafunction Partner Program)의 IP 코어들은 끊임 없이 HardCopy 디바이스로 마이그레이션 될 수 있습니다. 그러나 AMPP 파트너의 IP 코어는 별도의 라이선스 비용이 있을 수도 있습니다.

Q Nios® 임베디드 프로세서가 HardCopy 디바이스로 마이그레이션 될 수 있습니까 ?

A 예, 많은 호응을 받고 있는 알테라의 Nios 임베디드 프로세서는 HardCopy 디바이스로 마이그레이션 될 수 있습니다. 로열티나 라이선스 비용이 별도로 필요하지 않습니다.

Q FPGA 설계를 HardCopy 디바이스로 마이그레이션 함으로써, 다이 크기가 작아집니까 ?

A 예, 프로그래밍 기능이 제거되기 때문에, 동급의 FPGA에 비하여 HardCopy 디바이스의 다이 크기는 70 퍼센트 정도 작아집니다. 따라서 성능이 크게 증가하고 전력 사용이 감소됩니다.

단종 디바이스 업데이트

알테라는 product-term과 FPGA 제품의 일부 디바이스를 단종할 예정이다(표1 참조). 대체 디바이스로의 전환을 점진적으로 준비할 수 있도록 대부분의 디바이스에 대하여 12개월의 last-time buy와 추가적으로 6개월동안 last-time ship date를 적용할 예정이다.

Table 1. Discontinued Device Update

Product Family	Device	Last Order Date	Last Shipment Date
MAX [®] 7000	Selected Devices	10/31/04	04/30/05
MAX 7000A	Selected Devices	10/31/04	04/30/05
MAX 7000B	Selected Devices	10/31/04	04/30/05
MAX 7000S	Selected Devices	10/31/04	04/30/05
FLEX [®] 10KA	Selected Devices	10/31/04	04/30/05
FLEX 10KE	Selected Devices	10/31/04	04/30/05
FLEX 6000	Selected Devices	10/31/04	04/30/05
FLEX 8000	Selected Devices	10/31/04	04/30/05
APEX [™] 20K	Selected Devices	10/31/04	04/30/05
APEX 20KE	Selected Devices	10/31/04	04/30/05
APEX [®] 1K	Selected Devices	10/31/04	04/30/05
Configuration Devices	Selected devices from the following device families: EPC1064, EPC1064V, EPC1213, and EPC1441	10/31/04	04/30/05

Contact Information

알테라의 정보와 지원 신청이 매우 간편하여 졌다. 다음의 표는 알테라에 대한 contact information을 보여준다.

Information Type	U.S. & Canada	All Other Locations
product Literature	www.altera.com	www.altera.com
Altera Literature Sevices (1)	lit_req@altera.com	lit_req@altera.com
News & Views Information	www.altera.com/literature/nview.html n_v@altera.com	www.altera.com/literature/nview.html n_v@altera.com
Non-Technical Customer Service	(800) 767-3753	(408) 544-7000
Technical Support	www.altera.com/mysupport	www.altera.com/mysupport
	(408) 544-6401	(408) 544-6401(2)
FTP Site	ftp.altera.com	ftp.altera.com
General Product Information	(408) 544-7104	(408) 544-7104(2)
	www.altera.com	www.altera.com

Notes :

- (1) *The Quartus II Installation and Licensing, Introduction to Quartus II, and MAX+PLUS II Getting Started* manuals are available from the Altera® web site. To obtain other MAX+PLUS® II software manuals, contact your local distributor.
- (2) You can also contact your local Altera sales office or sales representative. See the Altera web site for the latest listing.

Make your embedded system fly.



Build a CPU your way for just \$2.

With Altera's Nios[®] embedded processor, you get the ultimate in embedded design flexibility for just two bucks of logic. Create customized, single-chip solutions and target them to a variety of FPGAs — including the high-performance Stratix[™], low-cost Cyclone[™], and mask-programmed HardCopy[™] families — to get your designs off the ground fast.

Nios Development Kit Contents	
Nios embedded processor	Includes configurable RISC CPU with GNU compiler & JTAG debugger
Library of peripherals	UART, timer, DMA, SDRAM, SPI, and more
Quartus [®] II & SOPC Builder	System design software
Network protocols software library	Support for TCP, IP, UDP, ARP, and ICMP protocols
Development boards	Stratix or Cyclone FPGA, Ethernet, SDRAM, and more

With the easy-to-use Nios development kits, engineers have the software and peripherals they need to design a custom applica-

tion from concept to system in minutes. Make your next embedded design fly with the Nios embedded processor — for just two bucks.

- Lowest cost embedded FPGA solution available
- Best-in-class soft RISC CPU
- Library of over 50 peripherals available
- Industry's most complete development kits
- Royalty-free

Nios[®] — the world's most popular soft CPU.

20 YEARS of

ALTERA[®]

INNOVATION

www.altera.com/nios

ASIC capability for the masses.

Altera
Technical Seminars
www.altera.com/sopcworld



ASIC gain without the pain.

High performance.
Low power consumption.
Priced for everyone.

Get to risk-free, high-volume production with HardCopy™ devices—the industry's only mask-programmed devices with a seamless migration path from FPGAs. Altera offers the industry's only complete solution—including devices, tools, and IP—to get from prototype to production with minimal investment up-front. This solution allows designers to bypass the pain and expense of ASIC development while meeting their cost, performance, and power requirements.



HARDCOPY™

- 50% faster than FPGAs
- 40% less power consumption than FPGAs
- First-silicon success guaranteed
- No re-spins required
- Fully supported by \$2,000 Quartus® II design software



Start your high-volume design today with the HardCopy Starter Kit and experience ASIC gain without the pain.

www.altera.com/hardcopy

20 YEARS of

ALTERA®

INNOVATION