

FPGA에서 메타스타빌리티의 이해

본 고에서는 FPGA에서의 메타스타빌리티와 이것이 발생하는 이유, 그리고 설계 고장을 일으키는 방법에 대해 설명한다. 메타스타빌리티 MTBF를 계산하는 방법을 설명하고 다양한 디바이스와 설계 파라미터들이 결과에 미치는 방법에 대해서도 설명한다.

자료제공/알테라 코퍼레이션

메타스타빌리티는 FPGA를 포함하는 디지털 디바이스에서 신호가 비관련 또는 비동기식 클록 도메인의 회로 사이에서 전송될 때 시스템 고장을 일으킬 수 있는 현상이다. 본 고는 FPGA에서의 메타스타빌리티를 기술하고, 현상이 발생하는 이유를 설명하고 이것이 설계 고장을 일으킬 수 있는 방법들에 대해 논의한다.

메타스타빌리티로 인해 계산된 MTBF(mean time between failure)는 설계자들이 이와 같은 고장 가능성을 줄이기 위한 단계들을 취해야 할지를 나타낸다. 본고는 다양한 설계 및 디바이스 파라미터로부터 MTBF를 계산하는 방법과 FPGA 공급업체와 설계자들 모두가 MTBF를 증가시킬 수 있는 방법을 설명한다. 설계 기법들과 최적화를 통해서 메타스타빌리티 고장 가능성을 감소시킴으로써 시스템 신뢰성을 향상시킬 수 있다.

메타스타빌리티의 정의

FPGA와 같은 디지털 디바이스의 모든 레지스터들은 각 레지스터가 그 입력에서 정확하게 데이터를 획득하여 출력 신호를 생성할 수 있도록 신호 타이밍 요건들을 정의한다. 신뢰할 수 있는 동작을 보장하기 위해서 레지스터에 대한 입력은 클록 에지 이전의 최소 시간(레지스터 설정 시간 또는 tSU)과 클록 에지 이후의 최소 시간(레지스터 보유 시간 또는 tH)에 대해 안정화되어야 한다. 다음으로 레지스터 출력은 지정된 클록-대-출력 지연(tCO) 후에 제공되어야 한다.

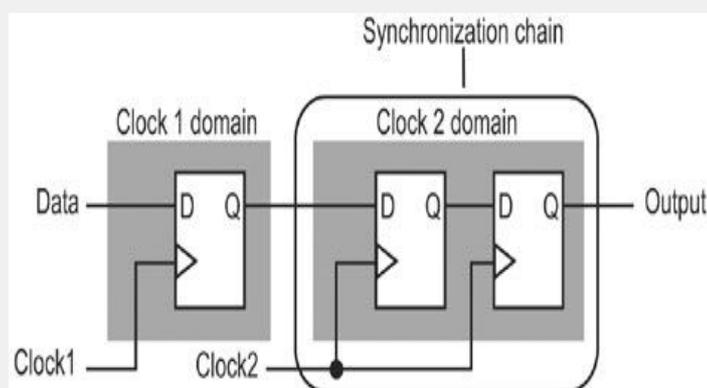
데이터 신호 변화가 레지스터의 tSU 또는 tH 요건을 위반하는 경우, 레지스터의 출력이 준안정 상태로 전환될 수 있다. 준안정 상태에서 레지스터 출력은 일정 기간 동안 높은 상태와 낮은 상태 사이의 값에서 배회하며, 이것은 정의된 높거나 낮은 상태에 대한 출력 전환이 지정된 tCO보다 더 지연된다는 것을 의미한다.

동기식 시스템에서 입력 신호는 항상 레지스터 타이밍 요건을 충족해야 하기 때문에 메타스타빌리티가 발생하지 않는다. 메타스타빌리티 문제는 신호가 비관련 또는 비동기식 클록 도메인의 회로 사이에서 전송될 때 일반적으로 발생한다. 설계자들은 이러한 경우에 신호가 tSU 및 tH를 충족할 것이라는 것을 보장하지 않는데 신호가 목적지 클록과 관련된 어떠한 시간에도 도달할 수 있기 때문이다. 하지만, 레지스터의 tSU 또는 tH를 위반하는 모든 신호 변화가 준안정 출력을 가지는 것은 아니다. 레지스터가 준안정 상태에 들어갈 가능성과 안정 상태로 복구되는데 필요한 시간은 디바이스를 제조하는 데 사용되는 공정 기술과 동작 조건에 따라 달라진다. 대부분의 경우, 레지스터는 안정한 정의된 상태로 신속하게 복구될 것이다. 클록 에지에서 데이터 신호를 샘플링하는 레지스터는 그림 1에 나타난 바와 같이 언덕에서 떨어지는 공과 같이 시각화될 수 있다. 언덕의 측면은 안정 상태를 나타내며-신호 변화 후 신호의 오래된 데이터와 새로운 데이터 값-과 언덕의 꼭대기는 준안정 상태를 나타낸다. 공이 언덕의 꼭대기에서 떨어진다면, 불확실하게 균형을 이루겠지만, 실제로 꼭대기의 한 측면으로 떨어져서 언덕 아래로 굴러갈 것이다. 공이 언덕의 꼭대기로부터 멀리 착지할수록 보다 신속하게 아래의 안정 상태에 도달할 것이다.

최소화하기 위해서 회로 설계자들은 신호를 새로운 클록 도메인에 다시 동기화시키기 위해서 목적지 클록 도메인에 일련의 레지스터들(동기화 레지스터 체인 또는 싱크로나이저)을 일반적으로 사용한다. 신호가 설계의 나머지 부분에서 사용되기 전에 이러한 레지스터들을 통해 잠재적으로 불안정한 신호를 위한 추가적인 시간을 정해진 값으로 변화시킬 수 있다. 싱크로나이저 레지스터-투-레지스터 경로들 내의 타이밍 슬랙은 불안정 신호를 안정화시키기 위해 제공되는 시간이며, 이용 가능한 메타스타빌리티 안정 시간이라고 한다. 동기화 레지스터 체인 또는 싱크로나이저는 다음의 요건을 충족하는 일련의 레지스터로서 정의된다:

- 체인 내의 레지스터들은 모두 동일하거나 위상-관련 클록들에 의해 클록킹된다.
- 체인 내의 첫 번째 레지스터는 비관련 클록 도메인 또는 비동기식으로 구동된다.
- 회로 내의 마지막 레지스터를 제외한 각 레지스터는 단지 하나의 레지스터로만 전개된다.

동기화 레지스터 체인의 길이는 위의 요건을 충족시키는 동기화 클록 도메인에 대한 레지스터의 수이다. 그림 3은 출력 신호가 1개 이상의 레지스터 목적지에 전달되는 것을 가정했을 때의 길이 2의 샘플 동기화 체인을 나타낸 것이다.



모든 비동기식 입력 신호 또는 비관련 클록 도메인들 사이에서 전송되는 신호들이 획득 레지스터의 클록 에지와 관련된 모든 지점에서 변화할 수 있다는 사실에 주목해야 한다. 따라서 설계자들은 데이터가 변화할 때까지 신호 변화의 시퀀스 또는 목적지 클록 에지의 수를 예측할 수 없다. 예를 들어, 비동기식 신호들의 버스가 클록 도메인들 사이에서 전송되어 동기화된다면, 데이터 신호들이 각기 다른 클록 에지들에서 변화할 수 있다. 결과적으로 버스 데이터의 수신된 값이 올바르게 않을 수 있다.

설계자들은 신호 값들을 저장하는 DCFIFO(dual-clock FIFO) 로직이나 핸드-셰이킹 로직과 같은 회로를 통해 이러한 동작을 수용해야 한다. FIFO 로직은 2개의 클록 도메인 사이에서 제어 신호들을 전송하기 위해서 싱크로나이저를 사용하며, 데이터는 듀얼-포트 메모리를 통해 기록되고 판독된다. 알테라는 이러한 동작을 위해 제어 신호를 위해 다양한 수준의 레이턴시와 메타스타빌리티 보호 기능을 포함하는 DCFIFO 메가함수(megafunction)를 제공한다. 그렇지 않은 경우, 비동기식 신호가 2개의 클록 도메인 사이에서 핸드-셰이킹 로직의 일부로서 동작한다면 제어 신호들은 클록 도메인 사이에서 데이터가 전송될 수 있는 시간을 표시한다. 이러한 경우, 동기화 레지스터를 사용하여 메타스타빌리티가 제어 신호의 수신을 간섭하지 않도록 함으로써 데이터가 사용되기 전에 모든 불안정 조건이 변화할 수 있도록 데이터가 충분한 안정화 시간을 가지도록 보장한다. 적절히 설계된 시스템의 경우, 신호가 사용되기 전에 안정한 값으로 변화하는 한 설계는 올바르게 기능한다.

메타스타빌리티 MTBF의 계산

메타스타빌리티로 인한 MTBF는 메타스타빌리티가 설계 고장을 일으킬 수 있을 때 인스턴스들 사이의 평균 시간의 추정값을 제공한다. 보다 높은 MTBF(메타스타빌리티 고장 간격이 수백 또

는 수천 년인 경우)는 보다 강건한 설계라는 것을 나타낸다. 요구되는 MTBF는 시스템 애플리케이션에 따라 결정된다. 예를 들어, 수명이 중요한 의료 기기는 소비자 비디오-디스플레이 디바이스보다 높은 MTBF를 요구한다. 메타스타빌리티 MTBF를 증가시키는 것은 신호 전송이 디바이스에 어떠한 메타스타빌리티 문제를 일으킬 가능성을 낮춘다.

설계와 디바이스 특성에 대한 정보를 통해 특정 신호 전송 또는 설계 내의 모든 전송에 대한 메타스타빌리티 MTBF를 계산할 수 있다. 싱크로나이저 체인의 MTBF는 다음의 공식과 파라미터들을 통해 계산한다:

$$MTBF = t_{MET}/C2 / C1 f_{CLK} f_{DATA}$$

C1 및 C2 상수는 디바이스 공정과 동작 조건에 따라 결정된다.

fCLK 및 fDATA 파라미터는 설계 사양에 따라 결정된다: fCLK는 비동기식 신호를 수신하는 클록 도메인의 클록 주파수이며, fDATA은 비동기식 입력 데이터 신호의 토글링 주파수이다. 보다 빠른 클록 주파수와 보다 빠른 토글링 데이터는 MTBF를(악화시키거나) 낮춘다. tMET 파라미터는 잠재적인 준안정 신호가 정해진 값으로 변화하는데 이용 가능한 메타스타빌리티 안정화 시간 또는 레지스터의 tCO 이후에 이용 가능한 타이밍 슬랙이다. 동기화 체인을 위한 tMET은 회로의 각 레지스터를 위한 출력 타이밍 슬랙의 합이다.

전체 설계 MTBF는 설계 내의 각 싱크로나이저 체인의 MTBF에 의해 결정될 수 있다. 싱크로나이저를 위한 고장률은 1/MTBF이며, 각 싱크로나이저 체인에 대한 고장률을 추가하여 전체 설계의 고장률을 다음과 같이 계산한다:

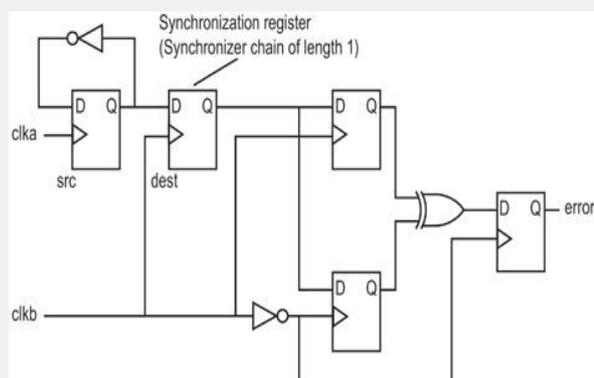
$$failure_ratedesign = 1/MTBFdesign = \text{number of chains} \sum_{i=1} 1/MTBF_i$$

설계 메타스타빌리티 MTBF는 1/failure_ratedesign이다.

알테라의 Quartus II 소프트웨어가 메타스타빌리티 파라미터들을 틀 내에 통합하고 있기 때문에 알테라의 FPGA를 사용하는 설계자들은 이러한 계산을 수작업으로 수행하지 않아도 된다. Quartus II 소프트웨어는 확인된 동기화 체인들에 대한 MTBF를 보고할 뿐만 아니라 전체 설계의 메타스타빌리티 MTBF를 제공한다.

메타스타빌리티 상수들의 특성화

FPGA 공급업체들은 메타스타빌리티에 대해 FPGA를 특성화함으로써 MTBF 방정식의 상수 파라미터들을 결정할 수 있다. 이러한 특성화의 어려움은 일반적인 FPGA 설계들에 대한 MTBF가 수 년이기 때문에 실제 동작 조건 하에서 실제 설계들을 사용해 메타스타빌리티 이벤트 사이의 시간을 측정한다는 것은 불가능하다. 디바이스별 메타스타빌리티 상수들을 특성화하기 위해서 알테라는 그림 4에 나타난 바와 같이 측정 가능한 짧은 MTBF를 가지도록 설계된 테스트 회로를 사용한다.



이 설계에서 clk_a 과 clk_b 는 2개의 비관련 클록 신호이다. 싱크로나이저에 대한 데이터 입력은 모든 클록 사이클(높은 f_{DATA})을 토글링한다. 1개의 동기화 레지스터가 2개의 목적지 레지스터에 신호를 제공하기 때문에 싱크로나이저는 길이 1을 가진다. 목적지 레지스터들은 1개의 클록 사이클 후와 1/2개의 클록 사이클 후에 싱크로나이저의 출력을 획득한다. 다음 클록 에지에서 변화하기 전에 신호가 준안정 상태가 되면 회로는 샘플링된 신호가 다르다는 것을 감지하여 에러 신호를 출력한다. 이 회로는 1/2 클록 사이클 타임에서 발생하는 메타스타빌리티 이벤트의 높은 비율을 감지한다. 이 회로는 모든 국지적인 편차의 효과를 감소시키기 위해서 디바이스를 통해 복제되며, 모든 잡음 커플링을 제거하기 위해서 각 인스턴스는 연속적으로 테스트된다. 알테라는 1분 동안 각 테스트 구조를 측정하고, 에러 수를 기록한다. 테스트는 각기 다른 클록 주파수에서 수행되며, MTBF 대 tMET 결과는 대수 단위로 기록된다. C2 상수는 실험 결과를 위한 추세선의 기울기와 일치하며 C1 상수는 선형적으로 선을 확대시킨다.

메타스타빌리티 MTBF를 향상시키는 방법

MTBF 방정식의 지수 $t_{MET}/C2$ 요소로 인해 $t_{MET}/C2$ 조건이 MTBF 계산에 가장 큰 영향을 미친다. 따라서 아키텍처 강화를 통해 디바이스의 C2 상수를 최적화하거나 동기화 레지스터의 tMET를 증가시킬 수 있도록 설계를 최적화함으로써 메타스타빌리티를 향상시킬 수 있다.

FPGA 아키텍처 강화

MTBF 방정식의 메타스타빌리티 시간 상수 C2는 트랜지스터 속도, 공급 전압 등을 포함해 디바이스 제조 시 사용되는 공정 기술과 관련된 다양한 요소에 따라 결정된다. 보다 빠른 공정 기술들과 보다 빠른 트랜지스터를 통해 준안정 신호들이 보다 신속하게 변화할 수 있다. FPGA는 180nm 공정 기술에서 90nm로 이동함에 따라 트랜지스터 속도 증가는 메타스타빌리티 MTBF를 일반적으로 향상시킨다. 따라서, 메타스타빌리티는 FPGA 설계자들에 있어서 주요한 관심사항이 아니다.

하지만, 공정 기술의 감소와 함께 공급 전압이 감소하더라도 회로의 쓰레스홀드 전압이 비례하여 감소하지는 않는다. 레지스터가 준안정 상태가 되는 경우, 그 전압은 공급 전압의 약 1/2가 된다. 전력 공급 전압이 감소됨에 따라 준안정 전압 수준은 회로의 쓰레스홀드 전압에 보다 가까워진다. 이러한 전압들이 모두 가까워질 때, 회로의 이득은 감소되고 레지스터들이 메타스타빌리티로부터 벗어나는 데 보다 오랜 시간이 소요된다. FPGA가 0.9V 이하의 전력공급을 가진 65nm 이하의 공정 기술로 진입함에 따라 쓰레스홀드 전압 고려사항이 트랜지스터 속도의 증가보다 한층 중요해지고 있다. 따라서, 공급업체가 메타스타빌리티 강건성을 향상시킬 수 있도록 FPGA 회로를 설계하지 않는 경우에 메타스타빌리티 MTBF는 일반적으로 악화된다. 알테라는 회로를 최적화하여 메타스타빌리티 MTBF를 향상시키기 위해서 FPGA 아키텍처에 대한 메타스타빌리티 분석을 사용한다. 알테라의 40nm Stratix III IV FPGA 아키텍처의 아키텍처 개선 사항들과 새로운 디바이스의 개발은 MTBF C2 상수를 감소시켜 메타스타빌리티 강건성을 향상시켰다.

설계 최적화

MTBF 방정식의 지수 요소는 설계 중속적인 tMET 값의 증가가 싱크로나이저 MTBF를 급속히 증가시킨다는 것을 의미한다. 예를 들어, 해당 디바이스와 동작 조건 집합에 대한 C2가 50ps이라면, 단지 tMET가 200ps 증가되면 멱지수 200/50가 되고, 인수 e^4 또는 50배 이상으로 MTBF를 증가시키며, 400ps로 증가하면 e^8 또는 약 3000배로 MTBF가 증가한다. 뿐만 아니라, 최악의 MTBF를 가진 체인은 설계 MTBF에 주요한 영향을 미친다. 예를 들어, 10개의 싱크로나이저 체인을 가진 2개의 각기 다른 설계를 고려해 보자. 하나의 설계는 10,000년의 동일한 MTBF를 가진 10개의 체인을 가지고 있으며, 다른 하나는 1,000,000년의 MTBF를 가진 9개의 체인과 100년의 MTBF를 가진 1개의 회로를 가지고 있다. 설계의 고장률은 각 체인의 고장률의

합이며, 여기서 고장률은 1/MTBF이다. 첫 번째 설계는 0.001의 메타스타빌리티 고장률(10개의 체인 x 1/10,000년)을 가지기 때문에 설계 MTBF는 1000년이다. 두 번째 설계는 0.01009의 고장률(9개의 체인 x 1/1,000,000 + 1/100)과 최악의 체인의 MTBF보다 다소 낮은 약 99년의 설계 MTBF를 가진다.

다른 방법으로 하나의 잘못 설계되거나 구현된 동기화 체인이 설계의 전체 메타스타빌리티 MTBF를 결정한다. 이러한 영향으로 인해 전체 비동기식 신호와 클록 도메인 전송에 대해 메타스타빌리티 분석을 수행하는 것이 중요하다. 설계자 또는 톨 공급업체는 최악의 MTBF를 가진 싱크로나이저 체인에 대한 tMET 를 향상시킴으로써 설계 MTBF에 대해 매우 중요한 영향을 미칠 수 있다.

메타스타빌리티 MTBF를 향상시키기 위해서 설계자들은 추가적인 레지스터 단들을 동기화 레지스터 체인들에 추가함으로써 tMET를 증대시킬 수 있다. 각각의 추가된 레지스터-투-레지스터 연결에 대한 타이밍 슬랙이 tMET 값에 추가된다. 설계자들은 신호를 동기화시키기 위해서 2개의 레지스터를 일반적으로 사용하지만, 알테라는 보다 우수한 메타스타빌리티 보호를 위해 3개의 레지스터 표준을 사용하도록 권고한다. 하지만, 레지스터를 추가하는 것은 추가적인 레이턴시 단을 동기화 로직에 추가하기 때문에 설계자들은 이를 수용할 수 있는지를 평가해야만 한다. 설계가 알테라의 FIFO 메가평션을 독립된 읽기 및 쓰기 클록과 함께 크로스-클록 도메인들에 대해 사용한다면 설계자들은 보다 우수한 MTBF를 위해 메타스타빌리티 보호 기능(와 레이턴시)을 증가시킬 수 있다. 알테라의 Quartus II MegaWizard™ Plug-In Manager는 3개 이상의 동기화 단을 가진 증가된 메타스타빌리티 보호 옵션을 선택할 수 있는 옵션을 제공한다. Quartus II 소프트웨어는 또한 업계 선도적인 메타스타빌리티 분석 및 최적화 기능을 제공하여 동기화 레지스터 체인 상의 tMET을 증가시킨다. 싱크로나이저들이 확인되었을 때 소프트웨어는 싱크로나이저 체인에서 이용 가능한 출력 타이밍 슬랙을 증가시키기 위해서 동기화 레지스터를 서로 보다 가깝게 배치한 다음 메타스타빌리티 MTBF를 보고한다.

결론

메타스타빌리티는 신호들이 비관련 또는 비동기식 클록 도메인에 있는 회로 사이에서 전송될 때 발생한다. 메타스타빌리티 고장의 평균 시간은 디바이스 공정 기술, 사양, 동기화 로직의 타이밍 슬랙 등과 관련이 있다. FPGA 설계자들은 동기화 레지스터에 타이밍 슬랙을 추가하는 설계 기법을 통해 tMET를 증가시킴으로써 시스템 신뢰성을 향상시키고 메타스타빌리티 MTBF를 증가시킬 수 있다. 알테라는 자사의 FPGA에 대한 MTBF 파라미터를 특성화하고, 디바이스 기술 향상을 통해 메타스타빌리티 MTBF를 향상시킨다. 알테라의 FPGA를 사용하는 설계자들은 그들의 설계에 대한 메타스타빌리티 MTBF를 보고하고, MTBF를 증대시키기 위해서 설계 배치를 최적화시키는 Quartus II 소프트웨어의 기능들을 활용할 수 있다.

▶ 기자 : 뉴스관리자 기자 ask@semiconnet.co.kr

▶ 기사 입력 시간 : 2009년 6월

▶ 관련 URL :