

메모 (Technical)

Document No. : MJL-LD-AN-8
 Author: 하태욱 [twha@mjl.com]
 Version: 1.1
 Date: 2000년 8월 8일
 Subject: **Quartus 와 ModelSim 간의 Interface**

지금까지는 MAX+plus II 와 ModelSim 간의 연결을 전제로 하여 두개의 응용노트를 만들었다. 기본적인 사항은 변화가 없고 Quartus 에서의 출력 파일들이 어떤 것들로 이루어져 있고 이를 ModelSim 에서 사용하는 방법만 알고 있으면 Quartus 를 사용하더라도 아무런 문제가 없을 것이다.

사용자가 APEX 20K/20KE Device 를 사용하고자 할 때는 Quartus Program 을 사용하여 Place & Route 를 수행하고 Target Device 에 ByteBlasterMV 를 사용한 Download (In-System Configuration) 또는 Configuration SPROM 을 만들기 전에 Timing Simulation 을 행해 원하는 동작을 확인해야 한다. 이 방법은 일반적인 방법이 될 것이다.

여기서는 사용자가 VHDL 로 모든 디자인을 하고 있다고 가정을 하고 있으며 VHDL Simulator 는 Model Technology 의 ModelSim 5.3d Altera Edition 을 사용 한다고 가정한다.

먼저 Quartus 에서 VHDL Output 의 형태를 결정해야 하므로 Quartus 의 Main Window 에서 Project → EDA Tool Settings...를 선택하면 그림 1 과 같은 대화 상자가 나오고 여기서는 ModelSim 을 사용하여 Simulation 을 할 것이므로 그림 1 과 같이 선택한다.

Quartus S/W 에서는 새로이 NativeLink 라는 기능이 추가가 되었다.

NativeLink 란 기존 Quartus 에서 제공되는 HDL 합성툴과 Simulation 툴외에 일반적으로 널리 쓰이고 있는 3rd Party 업체의 툴을 Quartus 내에서 통합하여 사용가능하도록 지원하여 사용자가 좀더 사용하기 편한 EDA 환경을 갖출수 있도록 도와주는 ALTERA 에서 발표한 새로운 개념의 지원도구이다.

이러한 NativeLink 기능으로 Quartus 소프트웨어는 알테라 디바이스를 사용하여 다른 EDA 툴간의 연속적인 정보 이동을 지원하고, Quartus 의 NativeLink 통합으로 설계자는 알테라 APEX™ 디바이스에 대한 생산성 증가와 질적 향상을 실감할 수 있다.

NativeLink 에 대한 자세한사항은 <http://www.altera.co.kr/html/tools/natlink.html>를 참고할것.

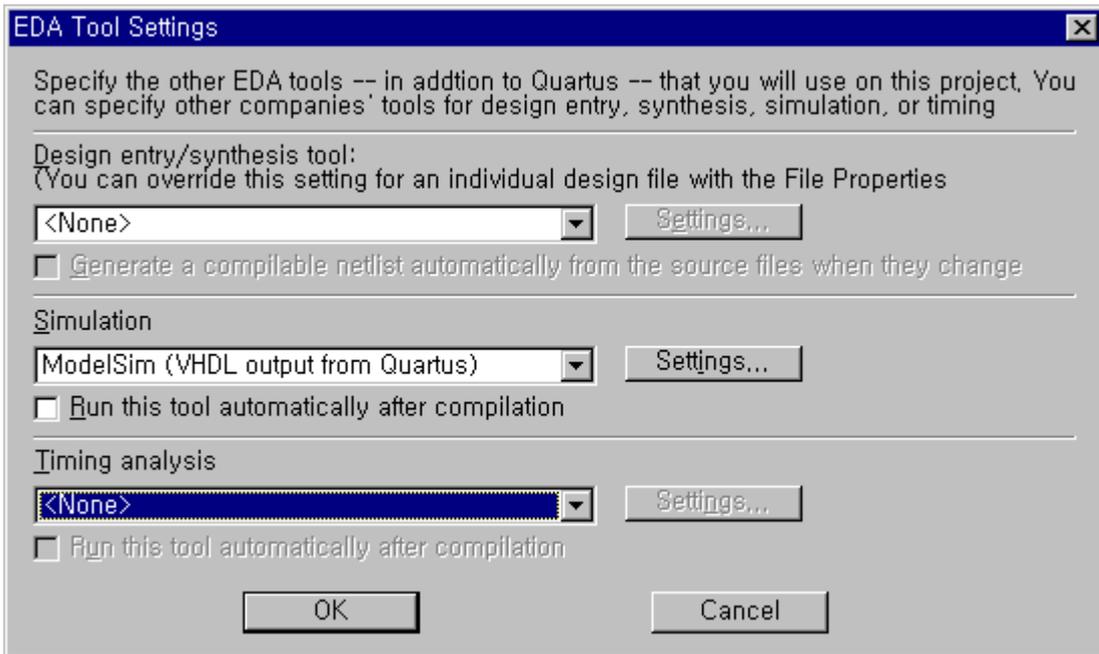


Figure 1 EDA Tool Settings Window

Top VHDL File 명을 여기서는 "test.vhd"로 정의했으며 이 파일을 Project 에 Add 한 후 Quartus 에서 Full Compilation 을 실행하면 현재 작업 디렉토리에 "test.vho", "test_vhd.sdo" 두개의 파일이 Gate-level Simulation 을 할 수 있도록 형성이 되는 것을 알 수 있을 것이다. 이 두개의 파일은 Timing Simulation 을 할 때 사용하는 파일이다.

사용자는 test bench File 을 만들 때 Configuration 문에서 한 가지만 주의하면 MAX+plus II 와 Quartus 에서의 차이점을 극복할 수 있다. Quartus 는 *.vho 를 만들 때 Architecture Name 이 Structure 로 고정되고 MAX+plus II 는 정의한 Device Part Name 이 되는 것이다. 그러므로 이런 차이를 명확히 이해를 하고 Configuration 문의 작성시 주의를 해야 한다.

예를 들어 보겠다.

```
configuration CONF_TEST_DP_RAM of TEST_DPRAM is
  for ARCH
    for U1:TEST use entity work.TEST(\EPF10K30ETC144-3\);
    end for;
  end for;
end CONF_TEST_DP_RAM;
```

위 Configuration 문은 MAX+plus II 에서 나온 *.vho 를 사용할 때 사용하는 방법이고, 아래 문장이 Quartus 에서 나온 *.vho 을 이용할 때 사용하는 Configuration 문 이다.

```
configuration CONF_TEST_DP_RAM of TEST_DPRAM is
  for ARCH
    for U1:TEST use entity work.TEST(STRUCTURE);
    end for;
  end for;
end CONF_TEST_DP_RAM;
```

ModelSim 에서는 Library Mapping 에 주의를 기울여야 한다. Alt_vtl Library 가 APEX20KE Component 를 참조 할 수 있도록 그림 2 와 같이 alt_vtl Library 가 apex20ke Directory 를 가르키도록 한다.

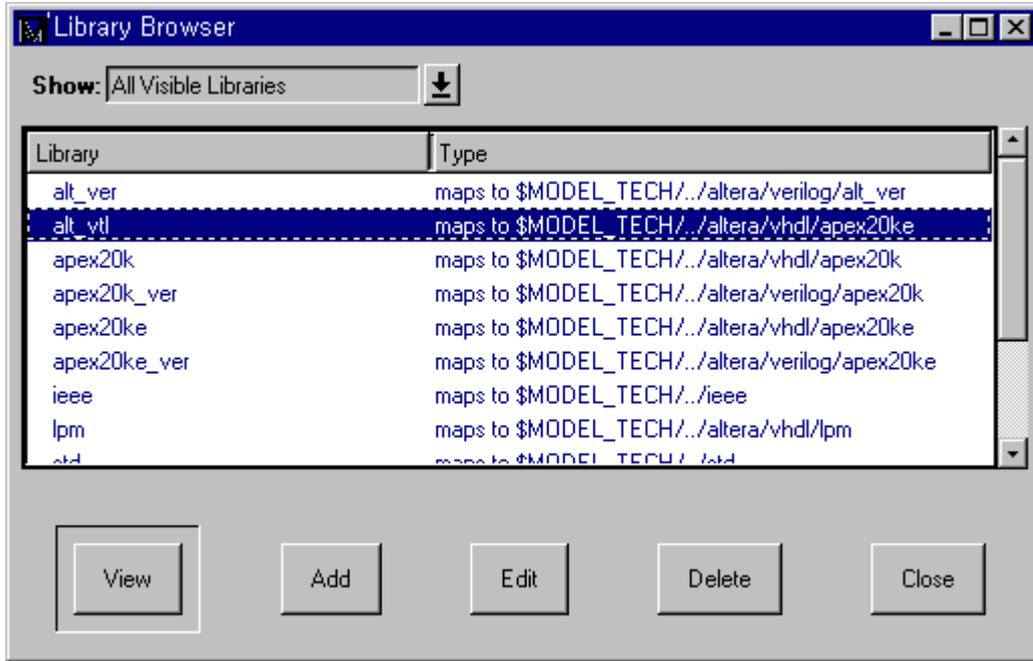


Figure 2 Library Browser Window

이 외의 모든 순서는 그 전에 만든 응용 노트 (mjl-ld-an-6.pdf, mjl-ld-an-7.pdf) 에서 기술한 것과 차이가 없으므로 그 것을 활용하도록 한다.

Revision History

- 2000-7-15 - Ver 1.0: Initialize Release...
- 2000-8-8 - Ver 1.1: Text Modified by C.W.Yang...