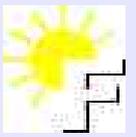




Addition en Virgule Flottante pour le Projet F-CPU



SEMET Gaëtan
Vendredi 19 Mars 2004



Plan

I. Présentation

- 1) Le Projet F-CPU
- 2) Conception de l'Unité de Calcul Flottant
- 3) Problématique

II. Ressources et Etude

- 1) Ressources et Outils
- 2) Méthodologie
- 3) Etude

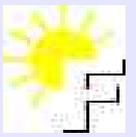
III. Résultats et Futur

- 1) Validation
- 2) Difficultés et Résultats
- 3) Futur



Indroduction

- Freedom CPU : projet international de bénévoles
- But: conception d'une architecture libre d'un microprocesseur
- 2 Projets pour l'ISIMA
- Conception Unité de Calcul en Virgule Flottante



I. Présentation

- 1) Le Projet F-CPU
- 2) Conception de l'Unité de Calcul Flottant
- 3) Problématique

II. Ressources et Etude

III. Résultats et Futur

Le Projet F-CPU

- Passionnés de tous pays
- Organisés autour d'un site:

<http://www.f-cpu.org>

- Conception d'une architecture de microprocesseur libre
- Licence GPL
- Forte opposition avec le principe de propriété Intellectuel
- Projet communautaire, non commercial



I. Présentation

1) Le Projet F-CPU

2) Conception de l'Unité de Calcul Flottant

3) Problématique

II. Ressources et Etude

III. Résultats et Futur

- Octobre 2003 : Présentation du projet à l'ISIMA par Yann Guidon
- 2 projets :
 - Simulateur
 - Conception de l'unité de Calcul en Virgule Flottante (FPU)
- Enjeu: doter la première implémentation du microprocesseur d'une FPU puissante.
- Architecture très spécifique
- But: compétition avec les microprocesseurs du marché



I. Présentation

- 1) Le Projet F-CPU
- 2) Conception de l'Unité de Calcul Flottant
- 3) Problématique

II. Ressources et Etude

III. Résultats et Futur

Conception de la FPU

- Buts
- Différents éléments
- Complexité importante

Réduction du sujet à

la conception de

l'Addition en Virgule Flottante

- Objectif: Unité efficace

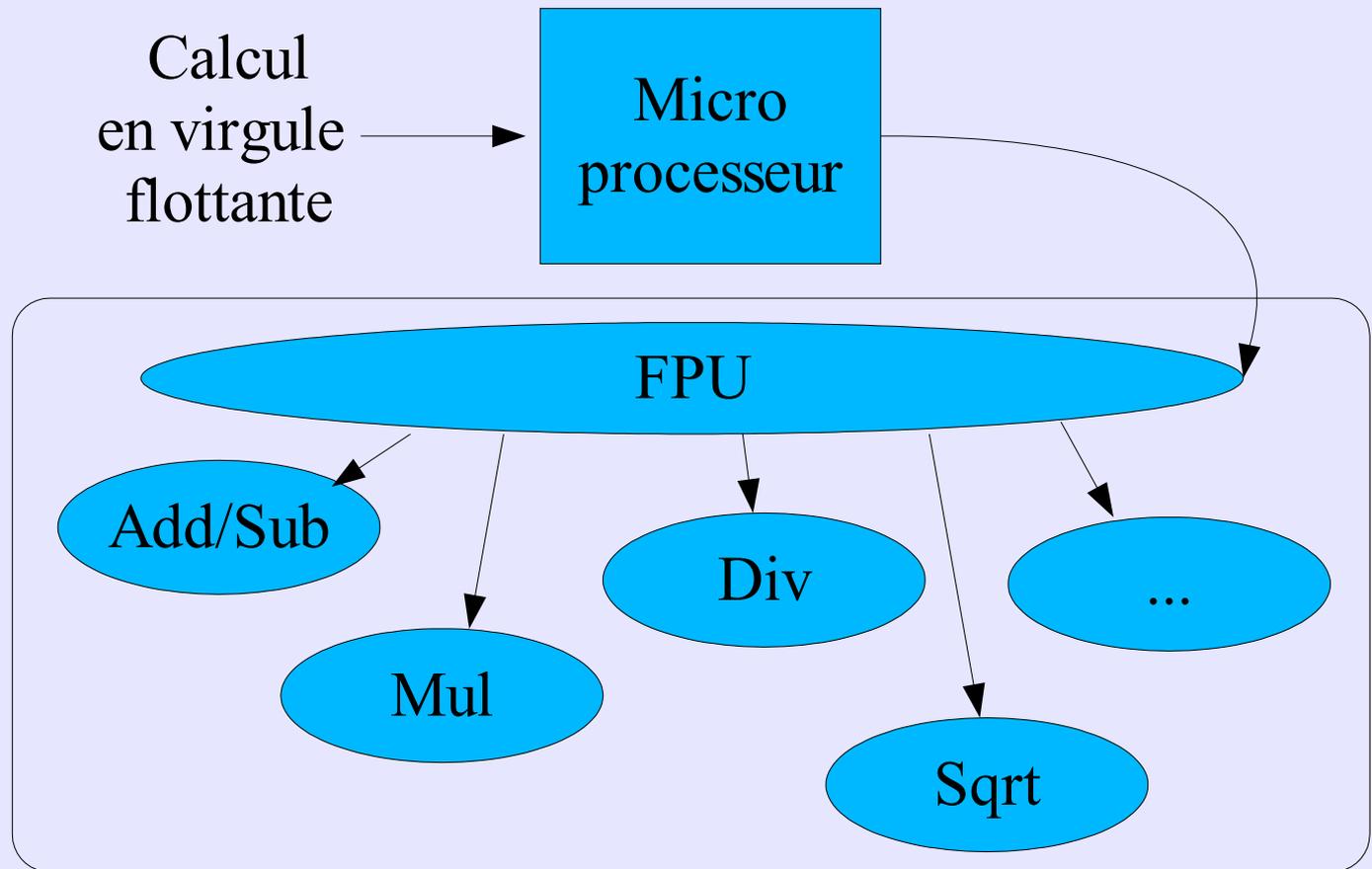


I. Présentation

- 1) Le Projet F-CPU
- 2) Conception de l'Unité de Calcul Flottant
- 3) Problématique

II. Ressources et Etude

III. Résultats et Futur



- Respect de la norme IEEE-754



I. Présentation

- 1) Le Projet F-CPU
- 2) Conception de l'Unité de Calcul Flottant
- 3) Problématique

II. Ressources et Etude

III. Résultats et Futur

Problématique

- Conception matérielle pure
- Beaucoup de contraintes à respecter
 - Norme IEEE
 - SIMD
 - Micropipeline
 - Pas de technologie particulière
- Libre de tout brevet



Ressources et Outils

I. Présentation

II. Ressources et Etude

1) Ressources et Outils

2) Méthodologie

3) Etude

III. Résultats et Futur

- Mailing List du site F-CPU, coeur du projet
- Publications scientifiques exempt de toute propriété industrielle
- Pas ou peu de ressources propres au projet
 - Connaissances/expériences apportées par chacun
 - Problèmes des brevets et “I.P.”.
- Y. Guidon / M. Riepe



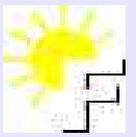
I. Présentation

II. Ressources et Etude

- 1) Ressources et Outils
- 2) Méthodologie
- 3) Etude

III. Résultats et Futur

- Outils utilisés:
 - Libres si possible
 - Portabilité du code primordiale
 - ➔ Similli pour la Simulation fonctionnelle
 - ➔ Synopsys pour la Synthèse matérielle



I. Présentation

II. Ressources et Etude

1) Ressources et Outils

2) **Méthodologie**

3) Etude

III. Résultats et Futur

Méthodologie

- Etude longue des spécifications
- Nombreux échanges sur la Mailing List
- Différentes versions du code
 - Faisabilité
 - Optimisation avec des algorithmes spéciaux
 - Maitrise des délais de propagation des données



I. Présentation

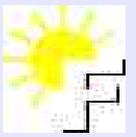
II. Ressources et Etude

- 1) Ressources et Outils
- 2) Méthodologie
- 3) Etude

III. Résultats et Futur

Etude

- Addition essentiellement séquentielle
- Optimisation
 - algorithme du double chemin de donnée (Double Datapath)
 - Calcul des arrondis en parallèle
 - Unités de prédiction
- Basé sur des travaux d'universitaires
 - ▶ problèmes des brevets



I. Présentation

II. Ressources et Etude

III. Résultats et Futur

1) Validation

2) Difficultés et Résultats

3) Futur

Validation

- Plan de validation utilisé:
 - Chaque unité testée fonctionnellement indépendamment
 - Organisation générale vérifiée
 - Portabilité
 - Synthétisabilité des unités individuelles
 - Synthétisabilité de l'ensemble



I. Présentation

II. Ressources et Etude

III. Résultats et Futur

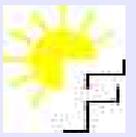
1) Validation

2) Difficultés et Résultats

3) Futur

Difficultés rencontrées

- Codage matériel: exigences différentes du développement logiciel
- Objectif: addition performante
- Echanges sur la Mailing List : nombreuses remises en question
- Manque d'expérience
- Spécifications du F-CPU floues



I. Présentation

II. Ressources et Etude

III. Résultats et Futur

1) Validation

2) Difficultés et Résultats

3) Futur

Résultats

- Conception d'une unité addition en virgule flottante performante
- Respect norme IEEE
- Emprunte différentes techniques avancées libres de droits
- Respecte les spécifications du F-CPU
 - SIMD
 - Micropipeline
 - Maitrise des delais



I. Présentation

II. Ressources et Etude

III. Résultats et Futur

- 1) Validation
- 2) Difficultés et Résultats
- 3) **Futur**

Futur

- Terminer le codage des derniers étages
- Nombres “dénormalisés”
- Simulation plus avancées
- Etude de l'unité Synthétisée
 - Consommation
 - Espace occupé
 - Vitesse maximale



Conclusion

- Conception de l'unité terminée
- Développement à compléter
- Maintient de ma participation au projet



Bibliographie

- ◆ fcpu Design Team, *fcpu Manual rev. 0.2.7c*
- ◆ N.T. Quach et M.J. Flynn, *An Improved Algorithm for High-Speed Floating-Point Addition*
- ◆ Santanu Roy, *AN701 - SP Floating Point Math With XA*
- ◆ J.D. Bruguera, T. Lang, *Rounding in Floating Point Addition Using a Compound Adder*
- ◆ J.D. Bruguera, T. Lang, *Leading-One Prediction With Concurrent Position Correction For Floating Point Addition*
- ◆ S. F. Oberman, M. J. Flynn, *A Variable Latency Pipelined Floating Point Adder*
- ◆ H. Suzuki, H. Morinaka, H. Makino, Y. Nakase, K. Mashiko, T. Sumi, *Leading-Zero Anticipatory Logic for High-Speed Floating Point Addition*
- ◆ IEEE. 1985, *IEEE Standard for Binary Floating-Point Arithmetic*
- ◆ Prof. W. Kahan, *Lecture Notes on the Status of IEEE Standard 754 for Binary Floating Point Arithmetic*
- ◆ Laurent de Soras, *Denormal numbers in floating point signal processing applications*
- ◆ N. Shirazi, A. Walters, P. Athanas, *Quantitative Analysis of Floating Point Arithmetic on FPGA Based Custom Computing Machines*
- ◆ A. Beaumont-Smith, N. Burgess, S. Lefrere, C.C. Lim, *Reduced Latency IEEE Floating-Point Standard Adder Architectures*
- ◆ Alain Guyo, *Cours Architecture des Equipements, Opérateurs arithmétiques: Addition En Virgule Flottante*