프로그래머블 스위치 기술

이승윤*

프로그래머블 스위치(programmable switch)는 프로그래머블 로직 디바이스(PLD) 내에서 사용자의 프로그래밍에 따라 로직 블록과 배선을 연결하거나 차단하는 기능을 수행하는 전자 소자이다. 기존의 집적회로와는 달리 PLD 의 경우에는 제조업체에서의 칩 완성 이후에도 프로그래머블 스위치를 이용한 사용자의 설계 변경으로 새로운 기능을 부여하는 것이 가능하다. 이에 따라 PLD 는 급격한 시장 변화 및 경쟁적인 개발 기간·비용의 단축으로 대표되는 전자제품 산업의 현 추세에 적합한 기술로 떠오르고 있다. PLD 중에서 가장 주목 받고 있는 FPGA 는 제조 기술의 비약적인 발전에 따라 그 성능 및 가격 경쟁력이 꾸준히 향상되어 주문형 집적회로(ASIC)와 본격적으로 경쟁하는 수준에까지 도달하였다. 본 고에서는 다양한 종류의 PLD 에 적용되는 프로그래머블 스위치 기술들을 소개하고, PLD 중에서 가장 주목 받고 있는 FPGA 의 스위치 기술을 중심으로 개발 동향 및 기술적 이슈들을 고찰한다. ▨

목 차

Ⅰ. 서 론

Ⅱ. 프로그래머블 로직 디바이스 기술

Ⅲ. 프로그래머블 스위치 기술

Ⅳ. FPGA 용 프로그래머블 스위치 기술 및 개발 동향

Ⅴ. 결 론

* 한밭대학교 응용소재공학전공/조교수

Ⅰ. 서 론

제조 시에는 그 기능이 고정되어 있지 않다가 사용자의 프로그래밍에 의하여 특정한 기능을 가지게 되는 전자 부품을 프로그래머블 로직 디바이스(Programmable Logic Device: PLD)라 한다. PLD 는 게이트 밀도에 따라 서로 구분되는데 여러 종류의 PLD 중에서 가장 대표적인 예로 디지털 신호 처리 등에 사용되는 FPGA(Field-Programmable Gate Array)를 들 수 있다. FPGA 는 이제까지 주로 ASIC 기능의 일부를 대체하는 용도로 사용되어 왔으나, 그 제조 기술의 발전에 힘입어 지속적으로 그 성능이 향상되고 제조 단가가 하락함으로써 셀 기반 ASIC 기능의 대부분을 대체하는 단계에까지 이르게 되었다[1]. 프로그래머블 스위치는 이러한 FPGA 와 같은 PLD 내부에 위치하면서 로직 게이트 또는 로

직 블록과 배선을 연결하거나 서로 다른 두 개의 배선을 연결하는 기능을 수행한다. PLD 에 적용할 수 있는 프로그래머블 스위치 기술은 일반적으로 메모리 소자에 기반을 두고 있으며, PLD 제조사들은 게이트 밀도에 따라 구분되는 각각의 PLD 특성에 맞는 프로그래머블 스위치 기술을 선택한다. 1980 년대 중반에 Monolithic Memories 사에서 가장 단순한 형태의 PLD 인 PLA (Programmable Logic Array)에 금속 재질의 Ti-W 퓨즈[2]를 적용한 이래로 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), SRAM(Static Random Access Memory), 안티퓨즈(anti-fuse) 등이 프로그래머블 스위치로서 사용되어 왔다. 최근에는 FPGA 의 프로그래머블 스위치 기술로 플래시(flash) 및 차세대 비휘발성 메모리가 새롭게 주목 받고 있다.

본 고에서는 PLD 기술 및 PLD 에 적용되는 다양한 종류의 프로그래머블 스위치 기술들을 살펴보고 특히 PLD 중에서 ASIC 과의 본격적인 경쟁에 돌입한 FPGA 의 프로그래머블 스위치 기술을 중심으로 그 개발 동향 및 기술적 이슈들을 고찰한다.

II. 프로그래머블 로직 디바이스 기술

PLD 는 일반적으로 게이트 밀도에 따라 SPLD(Simple Programmable Logic Device), CPLD (Complex Programmable Logic Device), FPGA 의 세 종류로 분류된다[3]. SPLD 는 두 단계의 로직을 포함하고 있는 가장 간단한 형태의 PLD 로, 두 단계의 로직 모두 프로그래밍이 가능한 PLA 및 프로그래밍이 가능한 한 단계의 로직과 고정된 한 단계의 로직으로 구성되는 PAL(Programmable Array Logic)이 여기에 해당된다. CPLD 는 하나의 칩 위에 다수의 PAL 형태의 블록들이 배열된 복잡한 형태의 PLD 이다. EPLD(Electrically Programmable Logic Device), Super PLD, Mega PAL 등도 CPLD 를 의미하는 용어들이다. FPGA 는 매우 높은 로직 용량을 가지는 구조를 특징으로 하는 PLD 이다. 로직 용량이란 대략 NAND 게이트의 수로 볼 수 있다. FPGA 는 SPLD 나 CPLD 와는 달리 여러 단계의 로직을 구현할 수 있는 것이 특징이다. PLD 의 종류는 연구자들에 따라 다르게 분류하기도 하는데 일부에서는 CPLD 를 FPGA 로 부르기도 하며, 또는 SPLD 와 CPLD 를 합쳐서 PLD 라고 하고 FPGA 는 PLD 와 별개의 것으로 분류하기도 한다. 한편, CPLD 와 FPGA 를 망라하여 HCPLD(High Capacity Programmable Logic Device)라 하기도 한다. 위에서 언급한 PLD 들의 세부적인 특징은 다음과 같다.

1. PLA

PLA 는 프로그래머블 AND-plane 과 프로그래머블 OR-plane 이 순차적으로 연결되는 두 단계의 로직 게이트로 구성된다. AND-plane 에서의 곱(product) 연산에 의하여 칩으로 들어온 입력이 출력으로 변환되고, OR-plane 에서의 합(sum) 연산에 의하여 그 출력들이 최종 출력을 형성하게 된다. PLA 는 두 단계의 프로그래머블 로직으로 구성되기 때문에 제조에 많은 비용이 소요되고 동작 속도 성능이 떨어지는 단점을 가지고 있다. 일반적으로 PLA 내에 존재하는 형태의 프로그래머블 로직은 제조가 어려우며, 상당한 크기의 전파 지연(propagation delay)을 발생시킨다.

2. PAL

PLA 의 단점을 극복하기 위해서 개발된 것이 PAL 이다. PAL 은 한 단계의 프로그램 가능성을 갖는 것이 특징인데 프로그래머블 AND-plane 과 고정된 OR-plane 이 순차적으로 연결된다. OR-plane 을 고정함으로써 발생하는 단점을 보상하기 위해서 제조 시에 입력과 출력의 수를 다르게 하거나 OR 게이트의 크기를 다양하게 함으로써 변화를 준다. 또한 PAL 은 OR 게이트 출력에 연결되는 플립플롭(flip-flop)을 포함하고 있어서 순서 회로(sequential circuit)를 구현할 수 있게 한다. PAL 의 경우 동작 속도 성능이 매우 우수한 장점이 있으나 로직 용량이 작은 단점이 있다.

3. CPLD

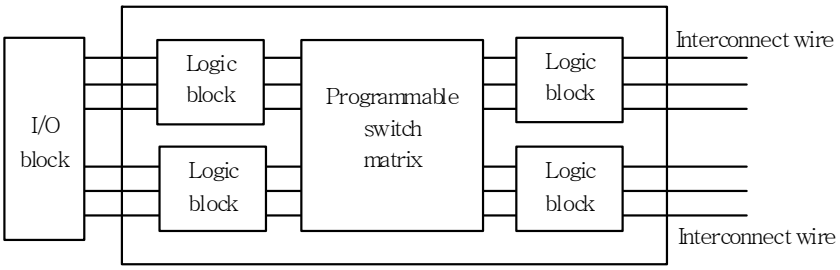
하나의 칩 위에 다수의 SPLD 형태의 로직 블록들이 배열된 것을 CPLD 라 한다. SPLD 에 비해서 블록 내에 훨씬 많은 수의 로직 게이트가 포함되므로 고성능의 로직을 구현할 수 있지만 FPGA 에 비해서는 용량이 현저히 작은 것이 단점이다.

4. FPGA

FPGA 는 대용량을 갖는 MPGA(Mask-Programmable Gate Array)의 장점과 사용자의 프로그래밍이 가능한 장점을 동시에 갖추고 있는 로직 디바이스이다. MPGA 는 트랜지스터 어레이로 구성되는데, 칩 제조 시에 사용자의 요구에 맞게 금속 배선 형성을 위한 마스크를 한정하기 때문에 제조 시 많은 비용과 시간이 소요된다. (그림 1)과 같이 로직 블록, 배선, 및 I/O 블록으로 구성되는 FPGA 는 그 구성이 MPGA 의 경우와 비슷하지만 칩 제조 후에 사용자가 프로그

래밍을 다시 할 수 있다는 점에서 MPGA 와 큰 차이가 있다. 즉, MPGA 의 로직 구현성을 가지면서 사용자가 새로운 로직 회로를 재입력 할 수 있는 것이다. FPGA 의 로직 블록은 일반적인 논리 기능을 수행하는 부분으로 전세계 FPGA 시장의 80% 이상을 함께 점유하고 있는 Xilinx 사와 Altera 사는 로직 블록을 각각 CLB(Configurable Logic Block) 및 LAB(Logic Array Block)로 명명하고 있다. 다수의 로직 블록들은 배선에 의하여 매트릭스 형태로 접속되며, 수평과 수직의 배선이 겹치는 부분에 사용자의 프로그래밍을 가능하게 하는 프로그래머블 스위치 소자가 위치하게 된다. I/O 블록은 입력 및 출력 신호의 인터페이스를 담당한다.

FPGA 는 일반적으로 ASIC 에 비해 생산 단가가 높고, 동작 속도가 느리며, 기능성이 떨어진다고 알려져 왔다. 그러나 FPGA 제조 기술이 40nm 공정 수준으로까지 비약적으로 발전함에 따라 가격은 하락하고 동작 주파수 및 전력소모 등의 성능은 꾸준히 향상되고 있다. 이에 따라 시제품 제작 및 검증과 같은 고유의 응용 분야를 뛰어 넘어 PDP, LCD TV 등의 디지털 기기 및 캠코더, 블루레이 디스크 등의 휴대형 애플리케이션으로 FPGA 의 활용 분야가 확대되고 있다. 한편, 반도체 공정의 미세화가 진행됨에 따라 셀 기반 ASIC 의 개발 비용 및 소요시간은 급격하게 증가하고 있다. 이러한 추세대로라면 시간이 지나갈수록 성능 및 가격 측면에서 ASIC 과 FPGA 의 간격이 더욱 좁혀지고 결국 FPGA 가 ASIC 기능의 많은 부분을 대체하는 단계에 이르게 될 것으로 전망된다.



(그림 1) FPGA 구성

III. 프로그래머블 스위치 기술

프로그래머블 스위치는 사용자의 프로그래밍에 따라 로직 게이트 또는 로직 블록과 배선을 연결하거나 서로 다른 두 개의 배선을 연결하는 역할을 한다. 프로그래머블 스위치의 가장 간단한 형태는 퓨즈(fuse)이다. 퓨즈에는 수평형(lateral) 퓨즈와 수직형(vertical) 퓨즈의 두 종류가

있다. 수평형 퓨즈는 두 배선 사이에 Ti-W 등과 같이 높은 전류가 흐르면 용해되는 금속 합금을 위치시킨 것으로 프로그래밍에 의하여 바이폴라 트랜지스터로부터 높은 전류가 공급되면 끊어지게 되므로 결국 불필요한 연결이 차단된다. 수평형 퓨즈는 프로그래밍에 전에 두 배선을 연결하고 있는 반면에 수직형 퓨즈는 프로그래밍 시 비로소 두 배선을 연결한다. 수직형 퓨즈는 금속 합금으로 이루어진 것이 아니라 바이폴라 트랜지스터의 일부분으로 구성된다. 바이폴라 트랜지스터에 높은 전류가 공급되면 전자 사태(avalanche) 효과가 발생하며, 이것에 의하여 개방되어 있던 두 배선이 영구적으로 연결된다. 퓨즈는 바이폴라 기술에 기반을 두고 있으므로 집적도 면에서 불리하고 제작 자체가 어렵기 때문에 PLA 나 PAL 등의 SPLD 이외에는 잘 사용되지 않는다.

한편, CPLD 및 FPGA 와 같은 대용량의 디바이스는 일반적으로 CMOS 기술에 기반을 둔 프로그래머블 스위치를 이용한다. CPLD 는 주로 EPROM 과 EEPROM 을 스위치로 이용한다. 퓨즈를 이용하여 각각의 비트를 1 회에 한하여 프로그래밍할 수 있는 PROM(Programmable Read-Only Memory)에 비해서 수 차례의 소거 및 기록이 가능한 EPROM 과 EEPROM 은 PLD 회로 변경에 있어서 훨씬 높은 유연성을 갖는다. EPROM, EEPROM 및 뒤에서 언급할 플래시 메모리는 모두 플로팅(floating) 게이트 메모리에 해당된다. MOS 트랜지스터에서 SiO_2 에 둘러 쌓여서 전기적으로 절연된 다결정 실리콘 게이트를 플로팅 게이트라고 하는데, SiO_2를 통해서 실리콘 기판으로부터 공급되어 그곳에 저장된 전하는 임계치 이상의 외부 자극이 가해지기 전에는 오랜 시간 동안 그대로 유지된다. EPROM 은 프로그램의 소거 방식에 있어서 EEPROM 및 플래시 메모리와는 뚜렷하게 구분된다. 일정 시간 동안 강한 자외선에 EPROM 을 노출시키면 SiO_2 내에 전자-정공 쌍이 생성되며 이것이 방전 경로가 되어 플로팅 게이트 내의 전하가 제거된다. 그러나, EEPROM 및 플래시 메모리에서는 Fowler-Nordheim 터널링[4]을 이용하는 전기적인 방법으로 전하를 제거한다. 퓨즈의 경우 한 번 프로그래밍을 하면 재사용이 불가능하나, EPROM 과 EEPROM 의 경우 자외선이나 전압을 이용하여 전하를 제거하거나 주입하기 때문에 기존 프로그램의 소거 및 새로운 프로그램의 기록이 가능하다. EPROM 및 EEPROM 은 SPLD 에서의 퓨즈와 마찬가지로 wired-AND 기능을 수행한다. 즉, 입력 신호선과 출력 신호선이 서로 연결되어 합쳐짐으로써 출력을 형성한다. 이러한 방식은 매우 높은 용량의 FPGA 에서는 적합하지 않으며, 그 대신에 단순하게 두 배선을 끊거나 연결하는 프로그래머블 스위치가 필요하다. FPGA 에 보편적으로 적용되는 이러한 방식의 프로그래머블 스위치는 다음 절에서 상세히 다룬다.

IV. FPGA 용 프로그래머블 스위치 기술 및 개발 동향

FPGA 용 프로그래머블 스위치는 안티퓨즈 스위치를 제외하고는 기본적으로 로직 신호가 통과하게 되는 패스(pass) 트랜지스터와 그 패스 트랜지스터의 on/off 를 제어하는 메모리 셀로 구성된다. 이용되는 메모리 셀의 종류에 따라 프로그래머블 스위치는 SRAM 스위치, 플래시 스위치, 차세대 비휘발성 메모리 스위치 등으로 나눌 수 있다. 안티퓨즈 스위치를 포함하여 각 스위치의 장단점 및 특징을 <표 1>에 나타내었다. 현재 시판되고 있는 FPGA 에 적용된 프로그래머블 스위치는 SRAM, 플래시 메모리, 안티퓨즈의 세 종류이다. 최근에 MRAM(Magnetic Random Access Memory) 등의 차세대 메모리를 이용하는 프로그래머블 스위치[5],[6]와 나노와이어 배선[7]을 활용하고자 하는 연구가 보고되었는데 아직까지 제품에 적용된 사례는 알려지지 않았으며, 실용화되기까지에는 상당한 시일이 소요될 것으로 예상된다.

<표 1> FPGA 용 프로그래머블 스위치 특징 비교

항목	SRAM 스위치	플래시 스위치	안티퓨즈 스위치	차세대 메모리 (MRAM) 스위치
재프로그래밍	가능	가능	불가능	가능
비휘발성	없음	있음	있음	있음
외장 메모리의 필요성	필요	불필요	불필요	불필요
소모 전력	높음	보통	낮음	높음*
방사 내성	낮음	낮음	높음	높음
기술의 성숙도	우수	보통	우수	미흡

* MRAM 실용화를 위해 해결되어야 할 기술적 이슈의 하나임[13]

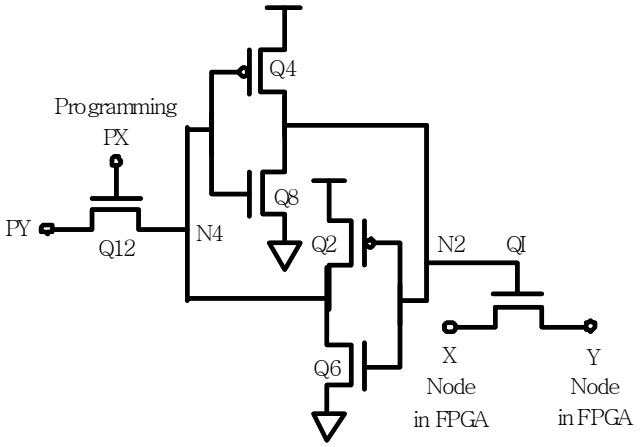
이제까지 FPGA 에서 가장 많이 사용되어 온 스위치 기술은 SRAM 이다. 빠른 소거 및 기록 속도, 그리고 잘 정립된 CMOS 공정을 기반으로 하는 설계 상의 장점 때문에 대부분의 FPGA 에는 SRAM 이 사용되고 있다. 한편, 전원이 차단되면 SRAM 이 보유하고 있던 정보는 소멸되기 때문에 시스템이 기동될 때마다 비트스트림(bitstream) 파일이 FPGA 내로 새롭게 로딩되어야 한다. 따라서 비트스트림 파일은 별도의 외장 PROM 이나 직렬 플래시 디바이스에 저장된다. 최근에는 이러한 SRAM 의 단점을 보완할 수 있는 플래시 메모리를 프로그래머블 스위치로 이용하는 FPGA 가 출시되고 있다. SRAM 과 비교할 때 플래시 메모리가 갖는 유리한 특성으로는 비휘발성(non-volatility)을 들 수 있다. 플래시 메모리에서는 전원이 차단되어도 정보가 그대로 유지되므로 플래시 메모리 자체에 비트스트림 파일을 저장할 수 있으며, 따라서 SRAM 의 경우와 달리 플래시 메모리를 스위치로 사용함으로써 외장 PROM 의 필요성을 줄일 수 있다. 플래시

스위치는 6 개 트랜지스터 셀 구조를 갖는 SRAM 스위치와는 달리 2 개 트랜지스터 셀 구조를 가지므로 상대적으로 칩에서 차지하는 면적이 작은 장점을 갖는다. FPGA 에 실제로 적용되고 있는 또 다른 스위치 기술 중 하나인 안티퓨즈는 플래시 메모리와 마찬가지로 비휘발성을 가지기 때문에 시스템 기동 시 필요한 비트스트림 파일을 외장 메모리로부터 로딩해야 할 필요가 없다. 이에 더하여 방사(radiation) 내성이 우수하고 스위치 크기가 SRAM 이나 플래시 스위치 경우에 비해서 매우 작은 장점이 있다. 안티퓨즈의 단점은 프로그래밍이 단 한번으로 제한된다는 것이다. 이러한 특성 때문에 안티퓨즈가 사용되는 시스템을 FPGA 와 구분하여 프로그래머블 ASIC 이라 부르기도 한다. 한편, 2005 년에 MRAM 을 프로그래머블 스위치로 적용한 FPGA 회로가 최초로 보고되었다. MRAM 의 비휘발성, 빠른 속도, 우수한 내구력(endurance) 특성을 이용하고자 하는 시도인데 아직까지 메모리 소자로서의 MRAM 의 실용성이 검증되지 않은 상태이기 때문에 스위치로서의 응용되는 것은 다소 요원한 것으로 판단된다.

1. SRAM 스위치

1984 년에 Xilinx 사에서 발명된 이래 FPGA 는 SRAM 스위치를 기반으로 하여 발전해 왔다. SRAM 스위치가 적용되는 FPGA 는 다수의 파운드리에서 이용 가능한 표준화된 CMOS 공정을 사용하여 설계할 수 있기 때문에 SRAM 스위치는 제조업체 입장에서 가장 이상적인 기술로 알려져 있다. 세계 시장 매출의 80% 이상을 함께 점유하고 있는 Xilinx 사와 Altera 사에서 출시되는 대부분의 FPGA 제품에는 SRAM 스위치 기술이 적용된다.

SRAM 스위치는 (그림 2)와 같이 p 채널 풀업(pull-up) 트랜지스터 Q2 및 Q4, n 채널 풀다

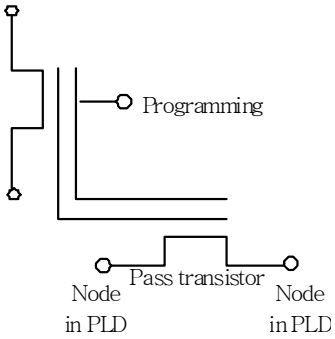


(그림 2) SRAM 스위치 구성

운(pull-down) 트랜지스터 Q6 및 Q8, 액세스(access) 트랜지스터 Q12, 및 교차점(cross point) 트랜지스터 QI 로 구성된다. 비트 정보는 Q2, Q4, Q6, Q8 의 4 개의 트랜지스터로 구성되는 셀에 저장된다. 트랜지스터 Q12 는 액세스 트랜지스터 역할을 하여 비트 저장 셀의 프로그래밍을 제어한다. 트랜지스터 QI 는 FPGA 의 교차점에 위치하는 트랜지스터로서 그 게이트가 비트 저장 셀에 의하여 구동되어 FPGA 의 배선인 X 와 Y 를 연결하거나 끊어주는 역할을 한다. 라인 PX 에 전압이 인가되지 않는 경우 트랜지스터 Q12 는 비트 저장 셀을 라인 PY 로부터 분리시키며, 이때 트랜지스터 Q2, Q4, Q6, Q8 가 형성하는 2 개의 교차 결합(cross coupled) 인버터에 의하여 비트 저장 셀의 정보는 계속해서 유지된다. 따라서 트랜지스터 QI 는 on/off 상태를 지속적으로 유지하면서 패스 트랜지스터로서의 역할을 수행하게 된다. 프로그래밍 시에는 라인 PX 에 전압을 인가하여 트랜지스터 Q12 를 턴온(turn-on) 시킨다. 앞에서 언급하였듯이 트랜지스터 Q2 및 Q4, 그리고 트랜지스터 Q6 및 Q8 은 교차 결합되어 있으므로 노드 N4 와 N2 는 서로 반전된 데이터를 가지게 된다. 따라서 라인 PY 에 0 을 입력하면 노드 N2 는 1 이 되어 트랜지스터 QI 가 턴온되고, 라인 PY 에 1 을 입력하면 트랜지스터 QI 가 턴오프(turn-off)되어 스위치 동작이 이루어지는 것이다.

2. 플래시 스위치

EEPROM 의 특별한 형태인 플래시 메모리는 플로팅 게이트 메모리의 한 종류로 EPROM 과 달리 전기적으로 소거를 실행한다. 기존의 EEPROM 과의 차이점은 블록 단위로 기록 및 소거가 이루어진다는 것이다. 이러한 특성 때문에 플래시 메모리는 EEPROM 에 비해 그 구조가 간단하고 대용량의 데이터를 빠른 속도로 기록할 수 있어서 USB 메모리와 같은 대용량 메모리로서 널리 사용되고 있다. SRAM 스위치와 달리 플래시 스위치는 전원의 유무와 상관없이 프로그래밍된 상태가 계속해서 유지되는 비휘발성을 갖는다. 비휘발성 스위치의 경우 비트스트림 파일 저장을 위한 별도의 외장 메모리가 필요하지 않으므로 FPGA 회로의 크기를 줄일 수 있다. 이에 더하여 플래시 스위치는 보안성 측면에 있어서 상대적으로 유리한데 그 이유는 SRAM 스위치를 사용하는 FPGA 에 있어서 반드시 필요한 외장 메모리가 정보보호에 매우 취약하기 때문이다. ASIC 이 수행하던 기능을 점차 FPGA 가 대신하게 됨에 따라 FPGA 의 적용범위가 시스템의 핵심적인 부분으로까지 확대되었으며, 이에 따라 FPGA 의 보안성은 반드시 고려되어야 하는 요소로 부각되고 있다. 플래시 스위치용 맞춤 공정이 개발되어야 하는 제조 상의 단점에도 불구하고 비휘발성에서 기인하는 작은 회로 크기 및 보안 상의 장점 때문에 플래시 스위치 기술은 앞으로 발전 가능성이 매우 높은 기술로 판단된다. 현재 플래시 스위치를 사용하는 대표적인 FPGA 제조



(그림 3) 플래시 스위치 구성

회사로는 Actel 사, Lattice Semiconductor 사 등이 있다.

플래시 스위치는 (그림 3)과 같이 일반적으로 플로팅 게이트 및 컨트롤 게이트를 공유하는 2개의 플로팅 게이트 플래시 메모리 트랜지스터로 구성된다[8]. 좌측 트랜지스터는 프로그래밍에 이용되며, 우측 트랜지스터는 패스 트랜지스터 역할을 하여 FPGA 의 두 개의 노드를 연결하거나 차단한다. 프로그래밍은 Fowler-Nordheim 터널링을 이용하여 실시한다. 프로그래밍 트랜지스터의 소오스/드레인을 5V 로 유지하면서 컨트롤 게이트의 전압을 -11V 로 만들면 터널링에 의하여 전자가 플로팅 게이트에서 이탈하여 트랜지스터의 문턱 전압은 (+) 값으로 이동한다. 프로그래밍 이후에 컨트롤 전압을 V_{CC} 로 하면, 패스 트랜지스터의 유효 플로팅 게이트 전압은 V_{CC} 보다 큰 값이 되어 패스 트랜지스터에서 채널이 생성되고 결국 두 개의 노드가 연결된다. 한편, 프로그래밍 트랜지스터의 소오스/드레인을 0V 로 유지하면서 컨트롤 게이트의 전압을 16V 로 만들면 터널링에 의하여 전자가 플로팅 게이트로 이동하여 트랜지스터의 문턱 전압은 (-) 값으로 변한다. V_{CC} 를 컨트롤 게이트에 인가하여도 패스 트랜지스터의 플로팅 게이트 전압은 0V 이하의 값이 되므로 패스 트랜지스터에서 채널이 생성되지 않고 두 개의 노드가 단절된다. 플로팅 게이트에 저장된 전하는 전원의 유무와 상관없이 오랜 기간 트랩(trap)되므로 결국 플래시 스위치는 비휘발성을 갖게 된다.

3. 안티퓨즈 스위치

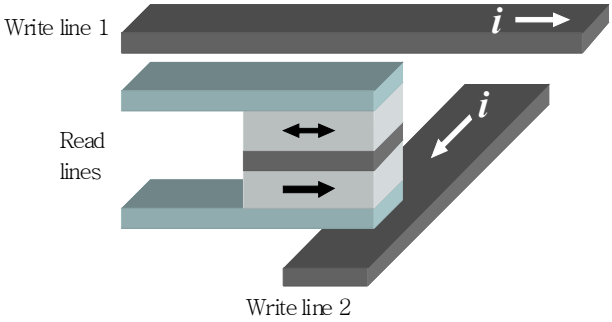
1988 년에 로직 및 메모리용으로 유전체를 이용하는 안티퓨즈 기술[9]이 발표된 이래로 안티퓨즈는 Actel 사 및 QuickLogic 사로 대표되는 소수의 FPGA 제조 업체에서 프로그래머블 스위치 기술로서 사용되고 있다. 퓨즈의 반대 개념인 안티퓨즈는 프로그래밍에 의하여 초기의 높은 임피던스 상태에서 낮은 임피던스 상태로 변화하는 소자로, 그 구조가 매우 간단하기 때문

에 소자 크기가 작은 장점을 갖는다. 안티퓨즈 내부에는 저항이 높은 얇은 유전체 층 또는 비정질 실리콘 층이 존재하는데 고전압이 인가되면 고저항 층에 전도성이 큰 링크(link)가 형성되어 FPGA 의 배선이 서로 연결된다. 대표적인 안티퓨즈 스위치 기술로는 QuickLogic 사의 ViaLink 기술[10]이 널리 알려져 있다. ViaLink 안티퓨즈 구조는 텅스텐 비어 플러그(via plug) 위에 1 Gohm 이상의 저항을 갖는 비정질 실리콘을 증착하여 형성한다. 프로그래밍을 위해 선택된 비어에 프로그래밍 전압이 인가되면 비정질 실리콘은 낮은 저항의 금속-금속 링크로 변화한다. 이러한 변화는 비가역적인 것으로, 재프로그래밍(re-programming)에 의하여 고저항 상태로 다시 돌아가는 것은 불가능하다. 한편, SRAM 이나 플래시 메모리의 경우 중성자 등의 고에너지 입자의 충돌에 의하여 정보 변경 오류가 발생할 수 있는데 안티퓨즈의 경우에는 프로그래밍 시 영구적인 링크가 형성되므로 그러한 오류가 발생하지 않는다. 따라서 안티퓨즈 스위치는 스위치 면적이 작고, 연결 저항이 낮으며, 비휘발성인 장점에도 불구하고 재프로그래밍이 불가능한 단점 때문에 방사(radiation) 내성 특성이 중요시되는 항공우주분야에서 제한적으로 사용되고 있다.

4. 차세대 비휘발성 메모리 스위치

특정 물질의 저항 차이를 이용하는 MRAM 과 PRAM(Phase-change Random Access Memory)은 그 고유의 뛰어난 특성 때문에 장차 플래시 메모리를 대체할 것으로 주목 받고 있는 차세대 비휘발성 메모리들이다. 두 종류의 메모리는 정보 저장 방식에 있어서 기존의 플로팅 게이트 메모리와는 근본적으로 다르다. 플래시 메모리를 포함하는 플로팅 게이트 메모리는 전기적으로 절연된 플로팅 게이트 내에 전하를 저장함으로써 정보를 기록한다. 한편, MRAM 및 PRAM 의 경우에는 메모리 내에 위치하는 특정 물질의 전기 저항을 외부에서 입력하는 전류를 이용하여 변화시킴으로써 정보를 기록하거나 소거한다.

MRAM 은 강자성층/절연층/강자성층의 다층 구조를 갖는 자기 터널 접합(Magnetic Tunnel Junction: MTJ) 내의 강자성층의 자화 방향 배열에 따른 저항의 차이를 이용하는 메모리이다. MRAM 의 특징은 SRAM 및 DRAM 과 대등한 수준의 초고속 동작이 가능하고, 반복 기록 특성이 매우 우수하며, 비휘발성이라는 것이다. MRAM 을 적용한 스위치 기술은 2005 년에 처음으로 보고되었다. MRAM 스위치는 MRAM 의 구성요소인 MTJ 를 포함하는 불평형 플립플롭(unbalanced flip flop) 및 패스 트랜지스터로 구성된다[5]. (그림 4)와 같이 MTJ 내에는 2 개의 강자성층이 존재하는데 하나는 자화 방향이 고정된 고정층(pinned layer), 다른 하나는 외부 자기장 또는 관통 전류에 의해 자화 방향이 바뀌는 자유층(free layer)이다. 기록선(write line)에 높은 전류가 흐르면 기록선 주위에 자기장이 형성되고 이것에 의하여 자유층의 자화 방향이 변



(그림 4) MRAM 셀 구조

화하게 된다. 두 강자성층의 자화 방향이 평행하면 절연층을 통과하는 터널링 전류는 최대가 되고, 서로 반대 방향으로 배열된 경우에는 최소가 되므로 0/1 의 데이터 저장이 가능하게 된다.

최근에는 MRAM 에서 발전된 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM)를 스위치로 응용하는 사례도 보고되었다[6]. STT-RAM 은 기존의 MRAM 과 기본 원리는 비슷하지만 쓰기 방식에서 차이가 있다. 아직까지 MRAM 및 STT-RAM 은 전술한 SRAM, 플래시 메모리, 안티퓨즈에 비해 그 메모리 기술 자체가 성숙되지 않은 상태이기 때문에 스위치로서의 응용 가능성은 MRAM 및 STT-RAM 의 완성도와 연관되어 결정될 것으로 보인다.

플래시 메모리를 대체하기 위해 MRAM 과 경쟁하고 있는 또 다른 차세대 비휘발성 메모리인 PRAM 을 프로그래머블 스위치로서 이용하려는 연구도 진행되고 있다[11],[12]. PRAM 은 MRAM 과 마찬가지로 플래시 메모리에 비해서 동작 속도 특성 및 반복 기록 특성이 우수하며, MRAM 에 비해서는 메모리 동작에 필요한 전력이 상대적으로 작은 것으로 알려져 있다[13]. 텔루륨, 셀레늄, 황 등의 칼코겐(chalcogen) 원소를 포함하는 상변화 재료의 경우 전기 펄스 입력에 의하여 결정 상태 및 이에 대응되는 전기 저항이 변화하는 특성이 있어서 PRAM 의 구성 물질로서 연구되어 왔다. 최근에 이러한 상변화 재료를 이용하여 제작된 개념 수준의 프로그래머블 스위치 소자가 IBM 연구진에 의해 발표되었다[11]. 보고된 스위치 소자는 평탄한 발열체 박막 중앙의 상부에 상변화 재료로 채워진 컨택을 위치시킨 구조이다. 발열체를 통하여 전류를 흘려주면 상변화 재료 컨택과 접촉하고 있는 발열체 영역에서 많은 양의 주울 열이 발생한다. 이 주울 열에 의하여 상변화 재료가 간접적으로 가열됨으로써 그 내부 온도 상승에 따른 상변화 및 전기 저항 변화가 발생하는 원리를 이용하는 것이다. 도핑된 TaN 합금을 발열체 물질로 사용하여 제작된 스위치 소자는 2.0mA 이하의 비교적 낮은 전류에서 동작되는 것이 확인되었다.

세계 유수의 반도체 제조업체들은 메모리의 용량을 더욱 늘리기 위한 방법으로 첨단 반도체

공정 기술을 도입하여 지속적으로 메모리 크기를 스케일링(scaling)하고 있다. 플로팅 게이트 메모리의 경우 메모리 크기가 감소함에 따라 저장된 전하가 심각하게 누설되는 문제가 발생하여 수년 내에 물리적인 한계에 직면할 것으로 예상되고 있다[14]. 이에 비하여 MRAM 및 PRAM의 경우 그 메모리 크기가 수 nm 정도로 매우 작아지더라도 내부 저항의 차이가 판별이 가능한 정도의 크기를 유지하기 때문에 스케일링에 따른 문제가 발생하지 않는다. 따라서, MRAM 및 PRAM 등의 차세대 비휘발성 메모리는 앞으로 플래시 메모리의 역할을 대신하게 될 것으로 예상되고 있으며, 이에 따라 FPGA 내의 프로그래머블 스위치의 구성 요소로서 적용될 가능성 또한 높다고 판단된다. 다만 프로그래머블 스위치로서의 실용화 여부는 기술의 완성도 및 다른 스위치 기술에 대한 제조 단가 측면에서의 경쟁력에 따라 결정될 것으로 전망된다.

V. 결 론

시제품 제작 및 검증의 단순한 기능을 수행하던 PLD는 그 제조 기술의 비약적인 발전에 힘입어 셀 기반 ASIC 이 전담하던 영역의 대부분에 사용이 가능하게 되었다. PLD 를 대표하는 FPGA의 경우 동작 주파수 및 전력소모 특성이 꾸준히 향상되고 제조 단가가 하락함에 따라 그 활용 분야가 디지털 기기 및 휴대형 애플리케이션으로 확대되고 있다. PLD 내에서 로직 블록과 배선을 연결하거나 차단하는 핵심적인 기능을 하는 프로그래머블 스위치는 퓨즈와 같이 간단한 형태로부터 MRAM 등의 차세대 비휘발성 메모리 소자를 기본 구성 요소로 하는 수준으로까지 발전해 왔다. 현재까지 표준 CMOS 공정을 기반으로 하는 SRAM이 FPGA에 있어서 프로그래머블 스위치 기술로 확고하게 자리잡고 있으나, SRAM 의 휘발성에서 기인하는 회로의 복잡성 및 불충분한 보안성 때문에 비휘발성을 지닌 플래시 메모리가 새로운 기술적 대안으로 떠오르고 있다. 나노미터 크기에서도 정상 동작을 하는 차세대 비휘발성 메모리는 장차 메모리 스케일링에 따른 물리적인 한계에 직면하게 될 플래시 메모리를 대체할 것으로 예상되는데, 기술의 완성도 및 제조 단가의 경쟁력에 따라 프로그래머블 스위치로서의 적용 여부가 결정될 것으로 보인다.

<참 고 문 헌>

[1] 마유코 우노, “ASIC ASSP 넘보는 FPGA의 성능 향상,” Nikkei Electronics Asia, 2008. 10, pp.14-22.

[2] B. A. Sharpe-Geisler, “Method for Forming Fuse,” US Patent 4,740,485, 1988.

[3] S. D. Brown, “An Overview of Technology, Architecture and CAD Tools for Programmable Logic Devices,” IEEE Custom Integrated Circuits Conference(1994) 69.

[4] M. Lenzlinger, E. H. Snow, “Fowler-Nordheim tunneling into thermally grown SiO2,” Journal of Applied Physics 40(1969) 278.

[5] N.Bruchon, G.Cambon, L.Torres, G.Sassatelli, “Magnetic Remanent Memory Structures for Dynamically Reconfigurable FPGA,” International Conference on Field Programmable Logic and Applications(2005) 687.

[6] W. Zhao, E. Belhaire, Q. Mistral, E. Nicolle, T. Devolder, C. Chappert, “Integration of Spin-RAM technology in FPGA circuits,” 8th International Conference on Solid-State and Integrated Circuit Technology(2006) 799.

[7] G. S. Snider, R. Williams, “Nano/CMOS architectures using a field-programmable nanowire interconnect,” Nanotechnology 18(2007) 035204.

[8] T. Speers, J. J. Wang, B. Cronquist, J. McCollum, H. Tseng, R. Katz, I. Kleyner, “0.25 m Flash Memory Based FPGA for Space Applications,” International Conference on Military and Aerospace Programmable Logic Devices, 1999.

[9] E. Hamdy, J. UcCollum, S. Chen, S. Chiang, S. Eltoukhy. J. Chang, T. Speers, A. Uohsen, “Dielectric Based Antifuse for Logic and Memory ICs,” International Electron Devices Meeting(1988) 786.

[10] QuickLogic White Paper, “Eclipse-II FPGAs for Low Power Applications.”

[11] K. N. Chen, L. K-Elbaum, D. M. Newns, B. G. Elmegreen, R. Cheek, N. Rana, A. M. Young, S. J. Koester, C. Lam, “Programmable Via Using Indirectly Heated Phase-Change Switch for Reconfigurable Logic Applications,” IEEE Electron Device Letters 29(2008) 131.

[12] S.-M. Yoon, S.-W. Jung, S.-Y. Lee, Y.-S. Park, B.-G. Yu, “Phase-Change-Driven Programmable Switch for Nonvolatile Logic Applications,” IEEE Electron Device Letters 30(2009) 371.

[13] K. Kim, G.-H. Koh, “Future Memory Technology including Emerging New Memories,” 24th International Conference on Microelectronics(2004) 377.

[14] R. Bez, “Innovative technologies for high density non-volatile semiconductor memories,” Microelectronic Engineering 80(2005) 249.

* 본 내용은 필자의 주관적인 의견이며 NIPA 의 공식적인 입장이 아님을 밝힙니다.